



All Winner Technology CO., Ltd.

全志科技股份有限公司 All Winner technology CO.,LTD	文档编号	版本	密级
		V1.0	★★★
			共 页

A31s HARDWARE DESIGN CHECKLIST

Version: V1.0

Date: 2012-2-4



版权所有 不得复制

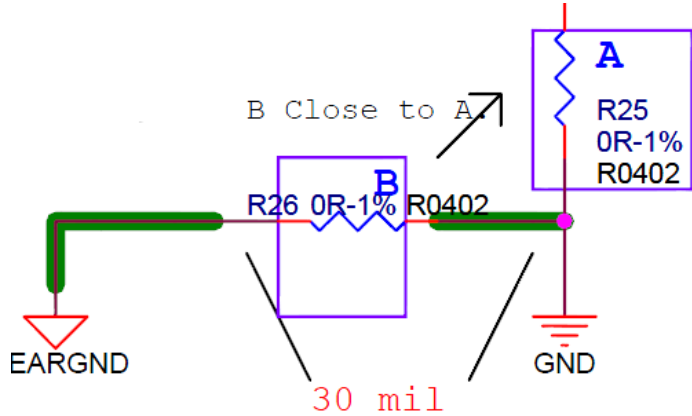


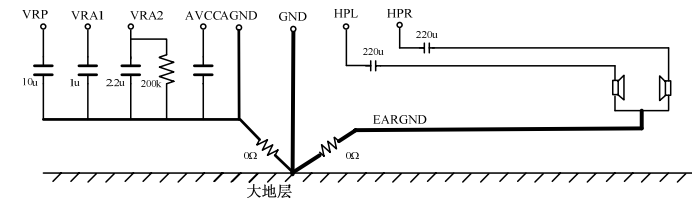
目录

1. CPU & Beside CPU.....	3
2. POWER.....	4
3. DRAM.....	8
4. USB.....	11
5. HDMI.....	11
6.AUDIO.....	12
7.KEY.....	13
8. CSI.....	14
9.LCD.....	15
10.NAND FLASH.....	15
11. CARD.....	16
12.WIFI.....	17
13.GPS.....	17
14.MOTO.....	18
15.G-SENSOR.....	19
16.TP.....	19
17.3G.....	19
附 A 驻极体 MIC 应用指导.....	21



1. CPU & Beside CPU

No.	Item	Done	Note
1	VRA1、VRA2 网络上的到地电阻和电容参数不能修改。		
2	32.768K 时钟输出网络 AP-CK32KO 的默认幅度为 1.4V, 需确认是否与接收设备的电平匹配, 是否需要调整输出幅度。		
3	GPIO 请按照 GPIO 分配表分配, 切勿随意调整, 新增功能请与相关人员沟通。		
4	高频晶振的网络 X24MO 上串接电阻必须保留。		
5	下图的两个 0R 电阻必须使用 1%精度的精密电阻。 		

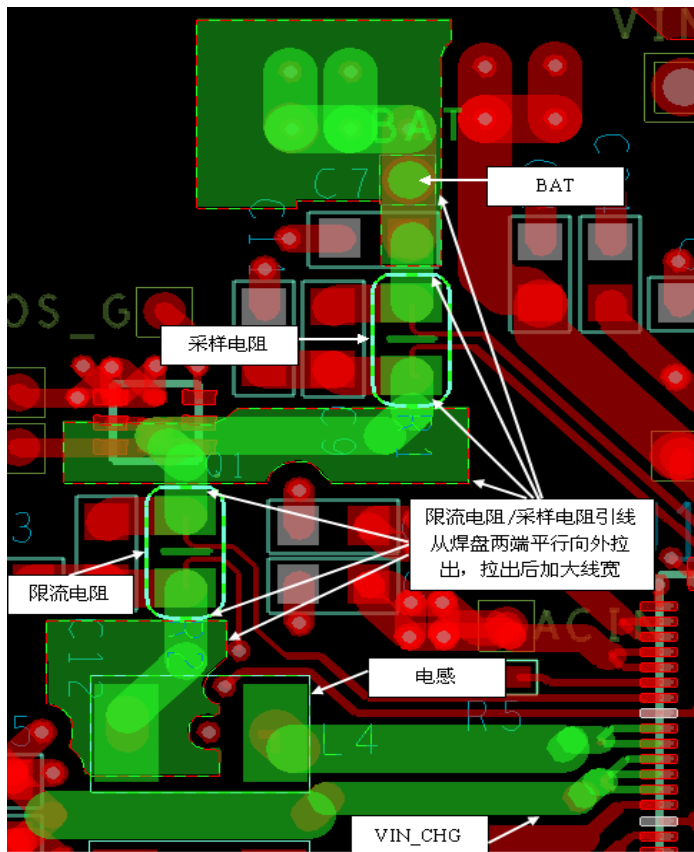
No.	Item	Done	Note
1	CPU package 与 Datasheet 必须保持一致。		
2	Bypass Cap 必须放置在相应 pin 脚的正下方。AVCC-AP、VRP、VRA1、VRA2 网络上的到地电阻和电容必须单点接地。采用交驱时, HP-GND 需要从耳机端拉 30mil 的走线到主控端在以上网络的单点接地点处连接。 		
3	PCB 走线优先走晶振, 晶振电路接近 IC, 与主控晶振出线 PIN 的距离<300mil。		
4	CPU 中间接地焊盘建议用“井”字连接, 以减小过孔的阻抗。		



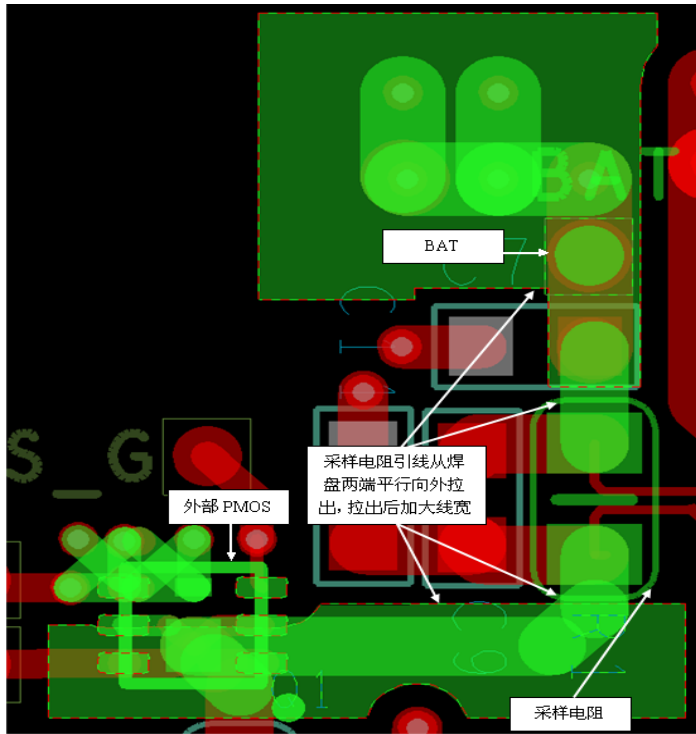
2. POWER

No.	Item	Done	Note
1	电感感量为 1.5uH，注意饱和电流要选择为最大充电电流的 1.5 倍，直流电阻小于 100 毫欧。		
2	两个检测电阻要选择 1%精度的 10 毫欧精密电阻，封装要用 0805 或更大尺寸。		
3	DCDC3 的反馈 CPU-VDDFB 与主控 U1B 的 F21 脚连接。		
4	IRQ 的上拉电源采用 VCC-RTC。		
5	如果没有ACIN的设计，把ACIN和USBVBUS短接。		
6	外部PMOS管必须采用 $V_{th} < 1.5V$ 并且 V_{gs} 为4.5V时内阻 $< 30mohm$ 。		
7	3G 模块采用 VBAT-EXT 供电，其它大负载供电采用 PS。		
8	DC5SET 是否确认当接地时 DCDC5 是给 DDR3 供电，当 DC5SET 悬空时是给 LPDDR2 供电。		
9	5V 升压 DCDC 必须选用 SY7208。		
10	PMIC 的 ACIN 和 USBVBUS 的电源输入内部集成过压保护，高于 7V 时自动关机。		
11	DCDC1 和 DCDC5 除了做反馈用以外，还分别是 DC1SW 和 DC5LDO 的供电，注意 DCDC1 和 DCDC5 反馈线线宽分别 50mil 和 30mil。		
12	PMIC 的外围输出电容的参数不能随意修改。		

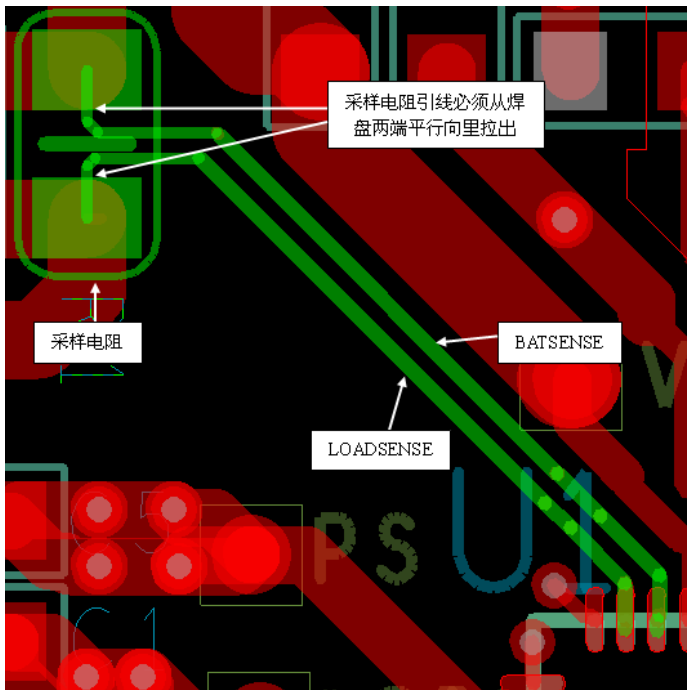
No.	Item	Done	Note
1	充电电路 layout 注意事项，整个环路尽量短，距离 $< 180mil$ 。		
2	PMIC 底层地平面处理：给底层尽量完整的地平面，能更有效的解决散热问题。同时底部的 PAD 需要和地平面以全连接的方式铺铜。		
3	为了提高电流检测精度，PCB Layout 必须注意以下几点： 1、BAT 充电路径为 PS->VIN_CHG->LX_CHG->电感->限流电阻->采样电阻->BAT，走线线宽 $\geq 120mil$ ；限流电阻/采样电阻的引线必须从焊盘两端平行向外拉出，先用 40mil 从电阻焊盘引出，之后再加大线宽到 $> 120mil$ ；而且保证电池尽量靠近 PMIC，如下图所示。		



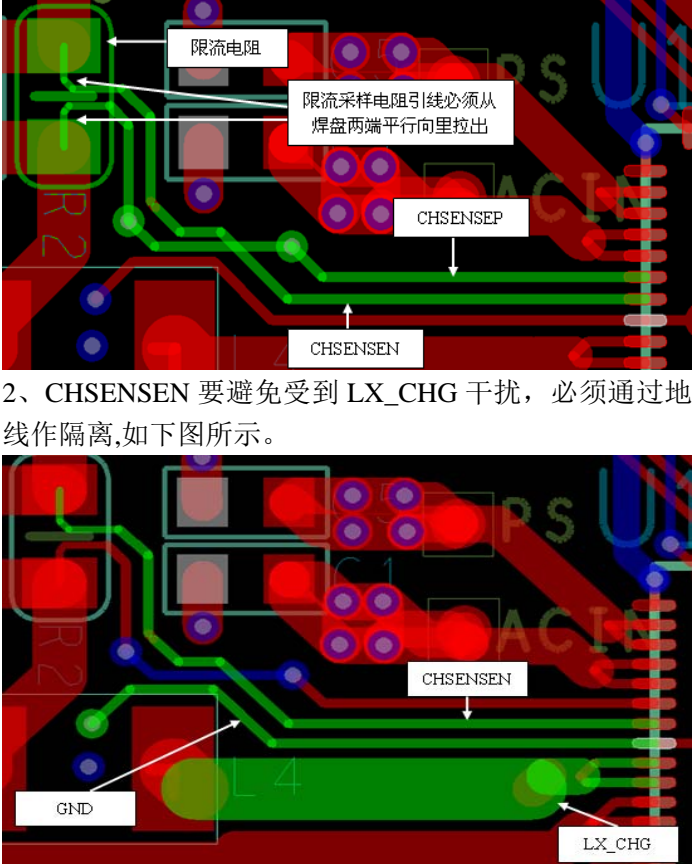
2、BAT 放电路径为 VBT->采样电阻->外部 PMOS->PS, 走线线宽 $\geq 120\text{mil}$; 采样电阻的引线必须从焊盘两端平行向外拉出; 先用 40mil 从电阻焊盘引出, 之后再加大线宽到 $>120\text{mil}$; 如下图所示。



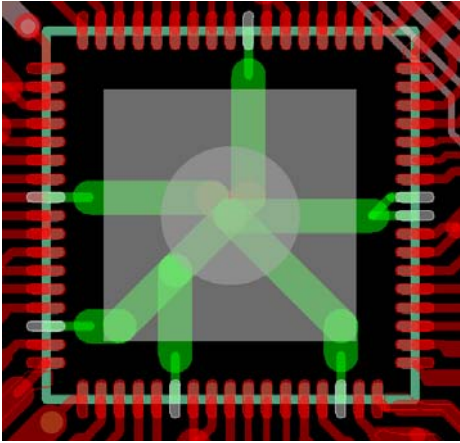
- 4 1、BATSENSE、LOADSENSE 与采样电阻间的走线采用 6-10mil, CHSENSEN、CHSENSEP 与限流电阻间的走线采用 6-10mil; 采样电阻/限流电阻的引线必须从焊盘两端平行向里拉出, 如下图所示。





	 <p>限流电阻</p> <p>限流采样电阻引线必须从焊盘两端平行向里拉出</p> <p>CHSENSE</p> <p>CHSENSE</p> <p>GND</p> <p>LX_CHG</p>		
2、	CHSENSE 要避免受到 LX_CHG 干扰，必须通过地线作隔离,如下图所示。		
5	采样电阻和限流电阻的滤波电容尽量靠近电阻放置。		
6	充电电路走线不要与其它走线平行。		
7	VREF 的电容要尽量靠近 Pin 脚,接地点尽量远离 DCDC,避免干扰。		
8	为了避免 DCDC 对 VREF 的影响,必须将地层紧邻摆放 PMU 器件的层摆放,如 PMU 及电感器件放在顶层,则地层应该放在第二层,利用地层屏蔽 DCDC 工作时对 VREF 的干扰。		
9	DCDC 和 charger 的输入端 VIN1-5 和 VIN_CHG 的输入滤波电容应尽量靠近输入 Pin 脚,输入通路最好先经过电容后进 Pin 脚,以达到更好的滤波效果。		
10	USBVBUS、ACIN 的线宽>150mil		
11	PS、VDD-GPU、VDD-CPU、VCC-DRAM 及相应的 LX 和 VIN 的线宽>=120mil。		
12	VCC-3V3、VDD-SYS 及相应的 LX 和 VIN 的线宽全都必须>=80mil。		
13	DCDC1 反馈线需要为 DC1SW 供电,线宽>=50mil。		
14	DCDC5 反馈线需要为 DC5LDO 供电,线宽>=30mil。		
15	LDO 输入线宽>=80mil,输出线宽根据负载电流决定(建议 30mil 以上)。		
16	电池放置位置尽量靠近电池连接点,尽量减小连接线的长		





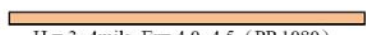




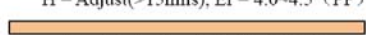


	度，并使用较粗的连接线，以减小连接线内阻和压降。		
17	地线连接到 PMIC 底部的 PAD 时，可用较细线从 Pin 脚引出，然后再改成粗线，如下图： 		
18	PMIC 底部需要留一个完整的地，以便 IC 散热，如果条件允许的情况下，面积至少预留 10*10mm ²		
19	GPIO/LDO 的输出电容必须无限靠近 PMIC 的 PIN 脚。		

3. DRAM

No.	Item	Done	Note
1	CPU 端 VCC-DRAM 与旁路电容相连接的过孔不少于 10 个。		
2	SCK/ SCK#之间跨接一个 0402 封装 NC 电容。		
3			
4	SCK/ SCK#上串接的电阻使用 0R。		
5			
6	主控端 ODT 信号直接连接 DRAM 的 ODT 管脚。		
7	主控端 RESET 信号直接连接 DRAM 的 RESET 管脚。		
8	DRAM Vref 是对 DRAM VCC 分压获得，分压电阻为 2K 1%；在 主控端和 DRAM 端的每个 Vref 信号 Pin 都需要一个 0.1uF 的滤波电容。		
9	DDR3 ZQ 电阻在 主控端和 DRAM 端都是分别连接，阻值为 240ohm 1%。		

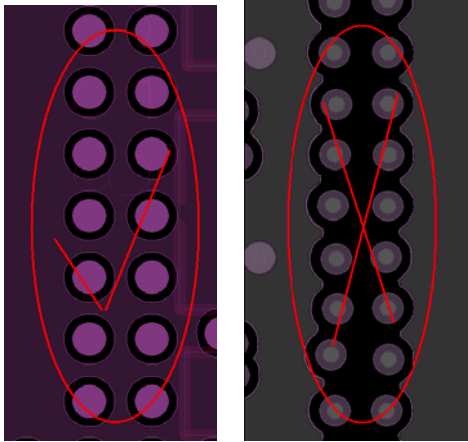
No.	Item	Done	Note
	PCB 层叠说明		



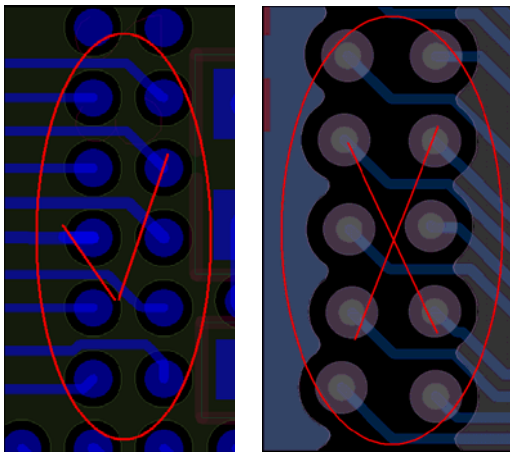
1	<p>TOP  1OZ H = 3~4mils, Er = 4.0~4.5 (PP 1080)</p> <p>GND  1OZ H = Adjust, Er = 4.0~4.5 (CORE)</p> <p>PWR  1OZ H = 3~4mils, Er = 4.0~4.5 (PP 1080)</p> <p>BOTTOM  1OZ 4层 PCB 板建议层叠结构</p> <p>TOP  1OZ H = ~3mils, Er = 4.0~4.5 (PP 1080)</p> <p>GND  1OZ H = ~4mils, Er = 4.0~4.5 (CORE)</p> <p>PWR (SIG)  1OZ H = Adjust(>15mils), Er = 4.0~4.5 (PP)</p> <p>SIG (PWR)  1OZ H = ~4mils, Er = 4.0~4.5 (CORE)</p> <p>GND  1OZ H = ~3mils, Er = 4.0~4.5 (PP 1080)</p> <p>BOTTOM  1OZ 6层 PCB 板建议层叠结构</p>			
	<p>如上图所示，分别为 4 层 PCB 与 6 层 PCB 的层叠结构。常见的 FR4 板材介电常数 (Er) 都会介于 4.0~4.5。常用的 FR4 1080 pp 板型厚度为 2.8~3mils。建议 TOP/BOTTOM 与相邻参考平面间采用 1080 PP 板。同时，需要说明的是，对于 6 层板，DRAM 部分 3 层信号走线是可以完成的。如果对于其他的局部信号需要 4 层走线，可以 L3/L4 同时走线，但这两层走线需要尽可能垂直交叉走线，避免平行走线。</p>			
	走线宽度与间距说明			
2	<p>数据信号包括：DQM_x, DQ_x, DQS_x。 地址/控制信号包括：A_x, BA_x, CS, WE, CAS, RAS, ODT, CKE, RST。 时钟信号包括：CK, CK#。 在保证以上提到的层叠结构的基础上： 1、数据信号 (DQS_x 除外) 走线宽度为 4mils，间距 (边到边) 为 8mils。 2、DQS_x/DQS_x# 为差分信号，差分对的走线宽度为 4.5mils，间距为 8mils，同时与其他信号的间距保持 ≥ 10mils。 3、地址控制信号走线宽度为 4mils，间距为 8mils。 CK/CK# 为差分信号，走线宽度为 4.5mils，间距为 8mils，同时与其他信号的间距保持 ≥ 10mils。 4、关于阻抗调整：采用本文所规定的层叠结构，与线宽线距，就不需要板厂进行阻抗调整。很多情况下，会因为板厂的阻抗调整不当，导致走线的间距变小，串扰急剧增大，最后方案无法量产。</p>			
	过孔说明			
3	如下图所示，SOC 通过过孔扇出时，必须保证过孔间的			



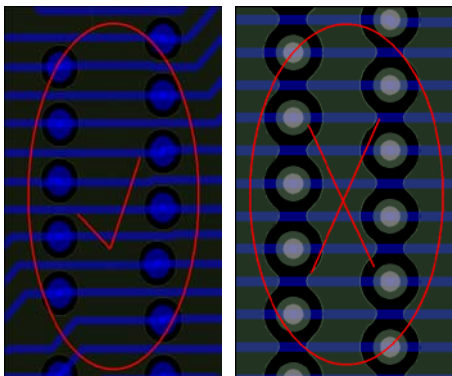
铜皮能连通。对于 0.65Pitch 的 SOC，在 IC 扇出的地方，过孔采用 8/14mils，反焊盘采用 3.5mils。对于 0.8Pitch 的 SOC，过孔采用 10/18mils，反焊盘采用 4mils。



如下图所示，对于 SOC 底下通过过孔扇出的信号必须保证回流路径不被反焊盘打断。



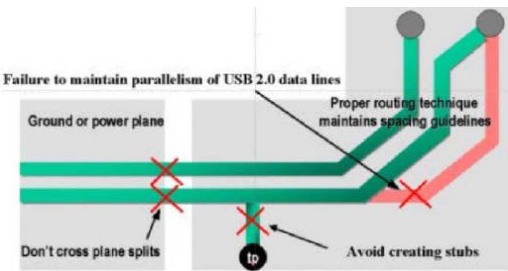
如下图所示，DRAM 部分 Layout 的走线必须保证回流路径不能被过孔反焊盘打断。过孔采用 8/14mils，反焊盘 4mils。





4. USB

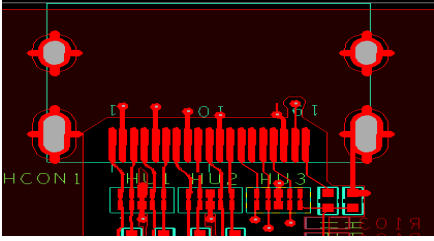
No.	Item	Done	Note
1	USB D+/D-连线与 USB Port 要一一对应，不要反接。		
2	D+/D-上的 ESD 器件寄生电容小于等于 4pF(4pF 包括了误差)。		
3	USB D+/D-上必须使用共模扼流圈与 ESD 集成器件或独立共模扼流圈和 ESD 器件。		

No.	Item	Done	Note
1	USB 的电气特性满足 USB2.0 的规范，其差分阻抗为 90 欧。		
2	USB D+/D-始终保证差分并排走线，拐脚的角度为 45 度。		
3	<p>1、USB D+/D-差分信号走线要与其它信号间距>10 mil。</p> <p>2、尽量避免 D+/D-的走线走在器件的下面或者与其他信号交叉；</p> <p>3、建议在表层走线，保证走线相邻层必须有连续完整的参考面，并且参考面没有被分割。</p> 		
4	在进行模块设计的时候，优先考虑 USB 的布线位置，并保证 USB 走线的长度控制在 4000mil 以内。		
5	USB D+/D-走线过孔不超过 2 个。		
6	D+和 D-信号走线不能分叉。		

5. HDMI

No.	Item	Done	Note
1	差分线包地，参考平面完整。		
2	ESD 器件靠近 HDMI 插座，见下图。		



			
3	差分走线过孔不超过 2 个。		
4	按差分 100 欧姆走线。		
5	HDMI 信号线<3000mil，并行走到连接器处即可，不要采用“蛇形走线”；差分线对内、对间尽量等长，相互误差约<200mil。		

6.AUDIO

No.	Item	Done	Note
1	HEADPHONE 电路必须采用交流耦合与直驱电路双 layout，HPCOM 与 HPCOMFB 必须在耳机座 pin 脚处直接短接。耦合电路耳机接地通过 HP-GND 与 GND 分地。		
2	驻极体 MIC 外围器件值选取，达到理想效果，需要按照具体 MIC 进行调整选；见附 A 驻极体 MIC 应用指导。		
3	在使用金属外壳时，耳机采用交流耦合电路。		

No.	Item	Done	Note
1	SPEAKER 差分走线包地（如果允许可以走内层），宽度 ≥ 25 mil。		
2	1、 远离高速信号线，如 LCD、DRAM。禁止在高速信号线相邻层走线，若要交叉，中间须有“地”层隔离,且禁止在高速信号线附近打孔换层； 2、 远离 LCD 背光部分，注意减小背光部分的 EMI，屏的外壳接地； 3、 MIC 摆放位置远离 (≥ 200 mil) RF、PA。		
3	SPEAKER AMP 的电源走线宽度 ≥ 25 mil		
4	HPCOMFB 的走线要注意从耳机的引脚处拉回，并与 HPCOM 平行，起到反馈的作用，并且 HPCOM 和 HPCOMFB 走线宽度分别为 30mil 和 10mil。		
5	MIC2P 与 MIC2N 要差分走线，从主控到 Head Phone 接口的 HS-MIC 网络,见下图。		



	<p>MIC-HBIAS with current detection function.</p>		
6	<p>耦合电路耳机接地通过 HP-GND 与 GND 一点接地，并且 HP-GND 必须通过 30mil 的走线拉到主控端，与 AVCC-AP、VRP、VRA1、VRA2 网络上的到地电阻和电容一点接地，HP-GND 需要与以上网络的一点接地处连接。</p>		

7.KEY

No.	Item	Done	Note
1	<p>键数选择，根据需要，直接去掉后面的按键，如只要 3 个键，保留 VOL+、VOL-、MENU 去掉 ENTER、HOME 按键，如图</p> <p>删除前</p> <p>删除后</p>		
2	<p>按键采用线控按键，LRADC0 网络的采样范围为 0-2V，在添加按键时保证按键按下后 LRADC0 网络电压范围为 0-2V，并保证任意两个按键按下时 LRADC0 电压差必须 $\geq 0.15V$。</p>		



8.CSI

No.	Item	Done	Note
1	AVDD-CSI 的 camera 端电容使用 4.7uF，AFVCC-CSI 的 camera 端电容使用 1uF。		
2	PCLK 和 MCLK 上必须增加 NC 电容用于提高摄像头的兼容性。		
3	前后置 Camera 必须保证供电一致。		

No.	Item	Done	Note
1	AVDD-CSI 与 IOVDD-CSI 必须单独供电，以保证干净。		
2	若模组带自动对焦功能，由于给内部 VCM 的供电的 AF-VCC 电源比较脏，注意不要与其他敏感电源（如 AVDD）共用。		
3	控制 IO: CSI-STBY, CSI-RST 的上拉电阻确保上拉到本地电源 CSI-IOVDD; CSI-STBY,CSI-RST,CSI-PWR-EN 确保与主控或 PMU 芯片连接。		
4	保证 Camera connector 旁地的完整性。		
5	摄像头模组 PIN 脚定义：检查摄像头模组的 PIN 定义，是否与插座一致。特别需要注意一般 24PIN 插座有上接触或下接触可选择，检查模组金手指接触面的方向。		
6	对于高像素的模组，可能会发热比较严重，如 OV5640, OV5642, MI5140。背面需要紧贴大面积的金属（可以是 LCD 背面的金属），以便散热，否则可能会带来画面变色的问题。		
7	VCC-PE 的电压是否与使用摄像头模组 IO 电压保持一致,VCC-PE 电压根据模组的电压调整。		
8	CSI 的数据线和 MCLK/PCLK/HSYNC/VSYNC 的走线需等长。		
9	PCLK 上的电容靠主控，电阻靠近 CAMERA;MCLK 上的电容靠 CAMERA，电阻靠近主控。		

No.	Item	Done	Note
1	摄像头方向以及位置: 1.LAYOUT 时，保证摄像头成像方向与 LCD 显示一致; 2.保证模组的摄像头开孔位置，与摄像头插座位置的距离尽量近≤2000mil，防止摄像头模组 FPC 过长出现问题		
2	AVDD, IOVDD 和 DVDD 的滤波电容，需要接近模组。		
3	双摄像头: LAYOUT 时，请尽量保证两个摄像头的连接器		



	不要分开太远, 保证电源到达摄像头模组以及信号达到主控 CSI 的一致性。		
4	CSI-MCLK 和 CSI-PCLK 需要各自包地, 并保证较少的换层 (MCLK 2 层以内, PCLK 2 层以内) 连接到 Camera connector。PCLK 和 DATA 走线长度保证一致。		
5	CSI 的数据线和 MCLK/PCLK/HSYNC/VSYNC 的走线需等长。关键是数据线与 PCLK 要等长, 相差不要大于 30%。		
6	AVDD-CSI 的 camera 端电容必须靠近 camera 座。		

9.LCD

No.	Item	Done	Note
1	屏的背光供电由 PS 提供。		
2	偏压 IC 是否使用了带有轻载高效模式, 请确认不要带有轻载高效模式。		
3	背光 IC 上电时必须不使能。		

No.	Item	Done	Note
1	布局要保证屏显示方向正确。		
2	LCD-CLK 需要良好的包地, 并保证少于两次换层的连接到 LCD connector。		
3	BACK LIGHT PWM 需要良好的包地连接到 LCD connector。		
4	不具备 U/D, L/R 引脚配置的屏, PCB Layout 要保证屏方向正确。		
5	背光电路的 FB 回路要小 (FB 电阻靠近背光 IC)。		
6	eDP 连接要求: 主控-ANX9804 间走线<1500mil, 线间误差相对 CLOCK $\pm 300\text{mil}$; ANX9804-连接器间走线<1500mil; 差分走线宽度为 W, 差分对间的距离 $D > 3 * W$; 差分信号有完整参考地, 差分阻抗 100 欧姆。		

10.NAND FLASH

No.	Item	Done	Note
-----	------	------	------



1	VPS 的上下拉是否有参照相应 NAND 的 DATASHEET 作处理，VPS 上下拉处理如下表			
	厂商	VPS 上下拉电阻处理		
	Micron/Intel	默认均不焊		
	Hynix	默认均不焊		
	Samsung	27nm (k9GBG08U0A): pull up Other: NC		
Toshiba	24nm:(TC58NVG5D2HTA00, TC58NVG6D2GTA00, TH58NVG7D2GTA20): pull up			
2				
3	采用 NAND FLASH 时 BOOT-SEL0 和 BOOT-SEL1 的接地电阻不贴。			
4	采用 eMMC NAND 时 BOOT-SEL0 悬空，BOOT-SEL1 的接地电阻贴上。			

No.	Item	Done	Note
1	TSOP 与 TOGGLE 是否对应双 layout。		
2	NAND 靠近主控摆放，走线与高频信号隔开。		
3	NAND 封装建议按照原厂提供的封装库以兼容 TSOP/TSD/LGA52/LGA60 的 NAND FLASH。		

11. CARD

No.	Item	Done	Note
1	Clock 脚不要上拉电阻，若并联电容，容值不得超过 15pF。		
2	ESD 器件线电容不能大于 10pF。		
3	Clk 信号线上需要串 33 欧电阻。		
4	CMD 信号线上拉电阻使用 10K，电源为 VCC-SDMMC。		
5	卡检测信号 SDC0-DET 的上拉电源是否为 VCC-PA。		

No.	Item	Done	Note
1	卡座 VCC 电容和卡座在 PCB 板在同一面，并且靠近卡座摆放。		
2	走线尽量与高频信号隔开，数据线分组走线，过孔控制在 2 个以内。		
3	同组 SD 卡数据线走线方向趋势保持一致 不允许出现过份分散走线的方式。		
4	将 CLK 包地；数据之间可不包地。		



12.WIFI

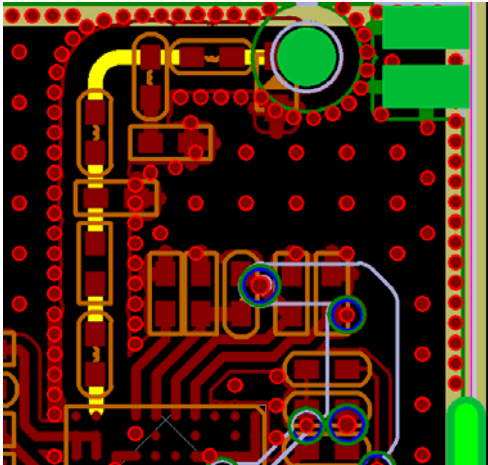
No.	Item	Done	Note
1	WIFI 的 IO 供电是否与主控的模块接口电源保持一致为 VCC-PG, VCC-PG 电压根据模组的电压调整。		
2	PCM 的连接方式如下: 主控端 ---- WIFI 端 PCM-CLK ---- PCM-CLK PCM-SYNC ---- PCM-SYNC PCM-DOUT ---- PCM-DIN PCM-DIN ---- PCM-DOUT		
3	UART 的连接方式如下: 主控端 ---- WIFI 端 UART-RX ---- UART-TX UART-TX ---- UART-RX UART-RTS ---- UART-CTS UART-CTS ---- UART-RTS		

No.	Item	Done	Note
1	WIFI 天线阻抗控制为 50ohm, 为了不让天线变成单向天线, 请将天线走线在顶层, 并且镂空下面的所有层。天线在走线层最好都用地线完全屏蔽。 (由于使用天线的差异, 具体的布线方法要根据实际情况来决定。)		
2	RF 走线注意: 1.元件布局尽量紧凑, 走线尽量短; 2.走线尽量圆弧或 45 度角; 3.RF 单元尽量单点接地, 通过地孔直接和地平面相连接; 4.远离干扰源; 5.做好 50R 阻抗匹配; 6.注意 RF 通路通过 GND 孔包地, 注意一倍线宽距离;		

13.GPS

No.	Item	Done	Note
1	32k CLK 由主控提供, GPS 的 CLK 幅值是否与主控输出幅值相符; 主控提供的 32k CLK 可以调整上下拉电阻改变输出幅值。		



No.	Item	Done	Note
1	天线必须要做阻抗匹配 50ohm。		
2	GPS 整体电路周围添加屏蔽罩并远离其他天线走线。		
3	高速线如 CLK、DDR 的数据线、LCD 数据线、camera 的数据线走在内层。		
4	高速元件及大功率元件要放置在屏蔽罩内部，注意最小系统及背后屏蔽罩要完全密封；		
5	屏蔽罩：可以采用通用的屏蔽罩模式，减少成本。屏蔽罩需要采用二合一形式的，底座+盖的模式彻底密封。		
6	<p>RF 走线注意（如图黄色高亮部分）：</p> <ol style="list-style-type: none"> 1.元件布局尽量紧凑，目的走线尽量短； 2.走线尽量圆弧或 45 度角； 3.RF 单元尽量单点接地，通过地孔直接和地平面相连接； 4.GPS 单元一定要做好屏蔽如加屏蔽罩； 5.远离高频传导干扰，挖隔离沟，宽度不小于 20mil，注意仅在 top 和 bottom 层挖隔离沟，其它层 GPS 单元铺 GND； 6.做好 50R 阻抗匹配，一般 1mm PCB 采取挖开相邻层隔层参方式，线宽 15~20mil； 7.注意 RF 通路通过 GND 孔包地，注意一倍线宽距离； 8. RF 路径为了达到 50R 阻抗，挖空 L5 参考 L4 层，走线周围净空 1 倍线宽。 		

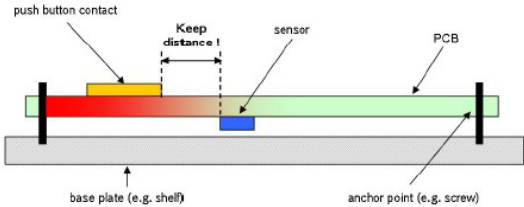
14.MOTO

No.	Item	Done	Note
1	必须增加放电二极管。		



No.	Item	Done	Note
1	注意马达为磁性元件,摆放位置注意远离 SPEAKER, ALS 等器件。		

15.G-SENSOR

No.	Item	Done	Note
1	需要注意 G-sensor 的方向, 推荐摆放在左上方		
2	GS 的摆放原则是右上方放置 PIN1 脚, 与屏平行放置, 放在屏的左上方.		
3	<p>由于 GS 是微机件, 所以在布局的时候要注意离开螺丝、远离按键、远离发射源、不能在螺丝的夹角、避免超声波制程、放在板边 (1CM)</p> 		

16.TP

No.	Item	Done	Note
1	RTP 的管脚布局: 未出现 X 脚与 Y 脚组间接反的接法, 如: X1 接触摸屏的 XP, 而 X2 接触摸屏的 YP 或 YN。		
2	CTP 部分依据各触控 IC 决定, 严格按照所选择的触控 IC 厂家推荐的电路形式。		
3			

No.	Item	Done	Note
1	CTP 非常容易受干扰, 需要严格按照各触控 IC 厂家提供的 PCB layout 指南进行 lay 板。		

17.3G


No.	Item	Done	Note
1	主控 GPIO 电平是否与 3G 模组的电平匹配, VCC-PB 电压根据模组的电压调整。		



2	PHINP、PHINN、PHOUTP、PHOUTN 网络须串接 1uF 隔直电容。		
3	PCM 的连接方式如下： 主控端 ---- baseband 端 PCM-CLK ---- PCM-CLK PCM-SYNC ---- PCM-SYNC PCM-DOUT ---- PCM-DIN PCM-DIN ---- PCM-DOUT		
4	UART 的连接方式如下： 主控端 ---- baseband 端 UART-RX ---- UART-TX UART-TX ---- UART-RX UART-RTS ---- UART-CTS UART-CTS ---- UART-RTS		

No.	Item	Done	Note
1	3G 容易受干扰，需要严格按照 3G 模组厂家提供的 PCB layout 指南进行 lay 板。		
2	3G 供电必须由 VBAT-EXT，3G 瞬间电流达到 3A，走线线宽>240mil。		
3	天线走线阻抗匹配控制在 50 欧姆。		
4	USB 差分对阻抗匹配控制在 90 欧姆。		
5	3G 模块远离其他高速信号和电源的干扰，并用完整的地包围。		
6	必须增加屏蔽罩。		

18. PCB COPPER

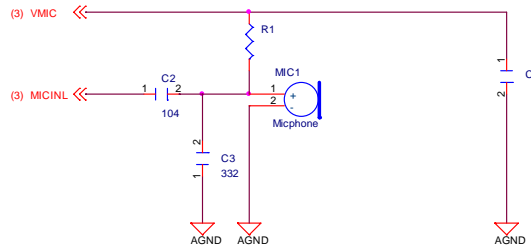
No.	Item	Done	Note
1	大面积铜箔应当用隔热带与焊盘相连，避免由于热容过大，造成虚焊、吊桥等不良现象。如下图 		
2	为防止电源辐射，最好将电源层内缩，尽量遵循规则。以一个 H（电源和地之间的介质厚度）为单位，若内缩 20H 则可以将 70% 的电场限制在接地边沿内；内缩 100H 则可以将 80% 的电场限制在内。一般四层板电源层内缩 80mil-100mil 为宜。		



附 A 驻极体 MIC 应用指导

为了在方案中针对不同等效阻值 MIC，达到比较理想的效果，特提供如下实用指南，具体讲述如何进行合理步骤，完成 MIC 相关部分电路制定。

1 电路原理图

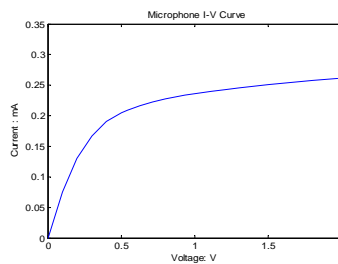


2 元件值选取

C1 理想选择 47Uf 钽电容，在考虑成本的情况下，可以选择 10Uf 的钽电容，关键是 R1 的选取，不同的 MIC 需要取不同的值，下面讲解具体选择

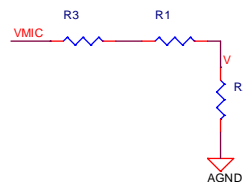
测量 MIC 的 I-V Curve，计算等效电阻

由于 MIC 等效为 FET，选择工作在 saturation 有最大的增益，下图为本人测试的一款 MIC 的 I-V 曲线，从图中看出，选择电压在 1V 左右的时候，工作在 Saturation 区，此时 MIC 的等效电阻 $R=V/I \approx 4.2k$



MIC I-V Curve

画出等效电路，计算 R1



MIC 连接等效电路

其中：VMIC 为 3V，目前方案中 R3 为 VMIC 内部电路，大约为 0.8K，R2 为 MIC 等效电阻为 4.2K，V 为 1V，通过简单计算，可以得到 R1 选择为 7.2K

2.1 I-V 具体测量方法



All Winner Technology CO., Ltd.

- A.取待用的 MIC，两端焊接引线；
- B.准备直流可调稳压电源和电流表；
- C.将稳压源串接电流表接到 A 中 MIC 两端，调节直流电压源电压，如：从 0-2V,每隔 0.1V 记录一次实测电流；
- D.把记录的数据，绘制成曲线，找到 Saturation 区的位置。

3 PCB 走线

由于 MIC 输出信号很小，需要经过 IC 进行放大，这样也就把噪声同样放大了，理论上 MIC 最好放置在 IC 附近，实际上，由于模具限制，往往 MIC 都离 IC 很远，会引入噪声，具体布线处理办法是将 MIC 和 VMIC 的地通过粗线引入到 IC 管脚 AGND，由管脚 AGND 与系统整个大片地汇合，尽量减小地不同带来噪声影响。



All Winner Technology CO., Ltd.

Declaration

This document is the original work and copyrighted property of Allwinner Technology (“Allwinner”). Reproduction in whole or in part must obtain the written approval of Allwinner and give clear acknowledgment to the copyright owner.

The information furnished by Allwinner is believed to be accurate and reliable. Allwinner reserves the right to make changes in circuit design and/or specifications at any time without notice. Allwinner does not assume any responsibility and liability for its use. Nor for any infringements of patents or other rights of the third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Allwinner. This datasheet neither states nor implies warranty of any kind, including fitness for any particular application.