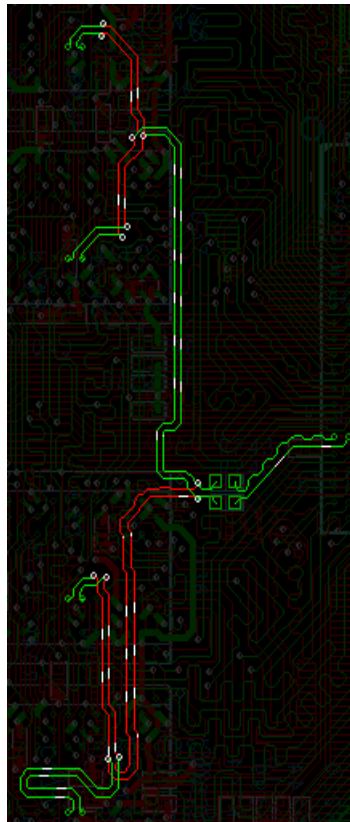
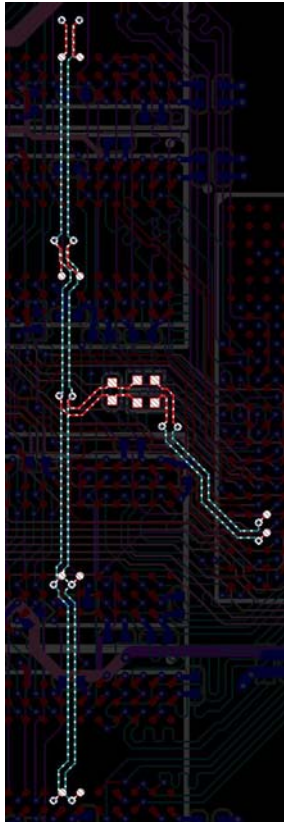
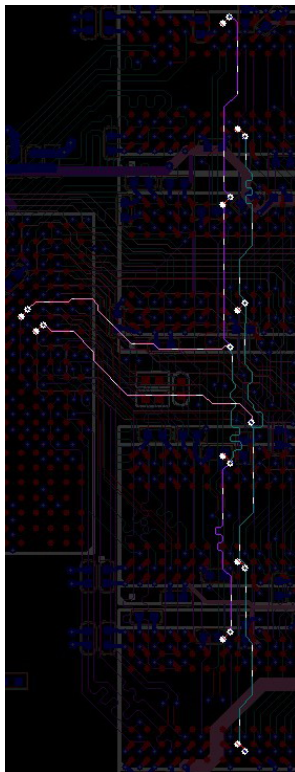


PCB																						
No.	Item	Done	Check / Date	Note																		
	PCB 层叠说明																					
1	<p>TOP 1OZ H = 3~4mils, Er = 4.0~4.5 (PP 1080)</p> <p>GND 1OZ H = Adjust, Er = 4.0~4.5 (CORE)</p> <p>PWR 1OZ H = 3~4mils, Er = 4.0~4.5 (PP 1080)</p> <p>BOTTOM 1OZ</p> <p style="text-align: center;">4层 PCB 板建议层叠结构</p> <p>TOP 1OZ H = ~3mils, Er = 4.0~4.5 (PP 1080)</p> <p>GND 1OZ H = ~4mils, Er = 4.0~4.5 (CORE)</p> <p>PWR (SIG) 1OZ H = Adjust(>15mils), Er = 4.0~4.5 (PP)</p> <p>SIG (PWR) 1OZ H = ~4mils, Er = 4.0~4.5 (CORE)</p> <p>GND 1OZ H = ~3mils, Er = 4.0~4.5 (PP 1080)</p> <p>BOTTOM 1OZ</p> <p style="text-align: center;">6层 PCB 板建议层叠结构</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>层名</th> <th>铜厚(OZ)</th> </tr> </thead> <tbody> <tr> <td>TOP</td> <td>0.5</td> </tr> <tr> <td>GND1</td> <td>0.5</td> </tr> <tr> <td>SIG1</td> <td>0.5</td> </tr> <tr> <td>SIG2</td> <td>0.5</td> </tr> <tr> <td>GND2</td> <td>0.5</td> </tr> <tr> <td>SIG3</td> <td>0.5</td> </tr> <tr> <td>GND3</td> <td>0.5</td> </tr> <tr> <td>BOTTOM</td> <td>0.5</td> </tr> </tbody> </table> <p style="text-align: center;">8层PCB建议层叠结构</p>	层名	铜厚(OZ)	TOP	0.5	GND1	0.5	SIG1	0.5	SIG2	0.5	GND2	0.5	SIG3	0.5	GND3	0.5	BOTTOM	0.5			
层名	铜厚(OZ)																					
TOP	0.5																					
GND1	0.5																					
SIG1	0.5																					
SIG2	0.5																					
GND2	0.5																					
SIG3	0.5																					
GND3	0.5																					
BOTTOM	0.5																					
	走线宽度、间距及阻抗说明																					
2	<p>数据信号包括: DQM_x, DQ_x, DQS_x; 地址/控制信号包括: A_x, BA_x, CS, WE, CAS, RAS, ODT, CKE, RST 时钟信号包括: CK, CK# 在保证以上提到的层叠结构的基础上: 数据信号 (DQS_x除外) 走线宽度为4mils, 间距为8mils。 阻抗控制50ohm(+/-10%)。 DQS_x/DQS_x#为差分信号, 差分对的走线宽度为4.5mils, 间距为8mils。 差分阻抗控制100ohm(+/-10%)。 地址控制信号走线宽度为4mils, 间距为8mils。 阻抗控制50ohm(+/-10%)。 CK/CK#为差分信号, 走线宽度为4.5mils, 间距为</p>																					

	8mils。 差分阻抗控制100ohm(+/-10%)。 关于阻抗调整： 需要避免由于板厂的阻抗调整不当，导致走线的间距变小，串扰急剧增大，最后方案无法量产。																													
	等长控制说明																													
3	<table border="1"> <thead> <tr> <th>走线信号</th> <th>线长参考信号</th> <th>线长误差范围说明</th> </tr> </thead> <tbody> <tr> <td>CK/CK# , DQS0/DQS0# , DQS1/DQS1# , DQS2/DQS2#, DQS3/DQS3#</td> <td>差分对内两信号相互参考</td> <td>差分对走线长度误差 <10mils, 过孔数量相同, 平行走线优先</td> </tr> <tr> <td>Ax, BAx, CS, WE, CAS, RAS, ODT, CKE</td> <td>CK/CK#</td> <td>±600mils</td> </tr> <tr> <td>DQS0/DQS0# , DQS1/DQS1# , DQS2/DQS2#, DQS3/DQS3#</td> <td>CK/CK#</td> <td>±600mils</td> </tr> <tr> <td>DQ0~DQ7, DQM0</td> <td>DQS0/DQS0#</td> <td>±100mils</td> </tr> <tr> <td>DQ8~DQ15, DQM1</td> <td>DQS1/DQS1#</td> <td>±100mils</td> </tr> <tr> <td>DQ16~DQ23, DQM2</td> <td>DQS2/DQS2#</td> <td>±100mils</td> </tr> <tr> <td>DQ24~DQ31, DQM3</td> <td>DQS3/DQS3#</td> <td>±100mils</td> </tr> </tbody> </table>			走线信号	线长参考信号	线长误差范围说明	CK/CK# , DQS0/DQS0# , DQS1/DQS1# , DQS2/DQS2#, DQS3/DQS3#	差分对内两信号相互参考	差分对走线长度误差 <10mils, 过孔数量相同, 平行走线优先	Ax, BAx, CS, WE, CAS, RAS, ODT, CKE	CK/CK#	±600mils	DQS0/DQS0# , DQS1/DQS1# , DQS2/DQS2#, DQS3/DQS3#	CK/CK#	±600mils	DQ0~DQ7, DQM0	DQS0/DQS0#	±100mils	DQ8~DQ15, DQM1	DQS1/DQS1#	±100mils	DQ16~DQ23, DQM2	DQS2/DQS2#	±100mils	DQ24~DQ31, DQM3	DQS3/DQS3#	±100mils			
走线信号	线长参考信号	线长误差范围说明																												
CK/CK# , DQS0/DQS0# , DQS1/DQS1# , DQS2/DQS2#, DQS3/DQS3#	差分对内两信号相互参考	差分对走线长度误差 <10mils, 过孔数量相同, 平行走线优先																												
Ax, BAx, CS, WE, CAS, RAS, ODT, CKE	CK/CK#	±600mils																												
DQS0/DQS0# , DQS1/DQS1# , DQS2/DQS2#, DQS3/DQS3#	CK/CK#	±600mils																												
DQ0~DQ7, DQM0	DQS0/DQS0#	±100mils																												
DQ8~DQ15, DQM1	DQS1/DQS1#	±100mils																												
DQ16~DQ23, DQM2	DQS2/DQS2#	±100mils																												
DQ24~DQ31, DQM3	DQS3/DQS3#	±100mils																												
	走线拓扑结构说明																													
4	CK/CK#： 采用对称T型拓扑， 如下图																													



CS, ODT, CKE: 采用对称T型拓扑, 如下图

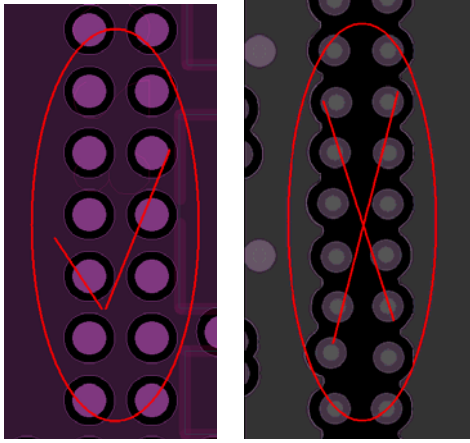


Ax, BAx, WE, CAS, RAS, 尽量采用对称T型拓扑, 如果布线空间不足则可放宽此要求。

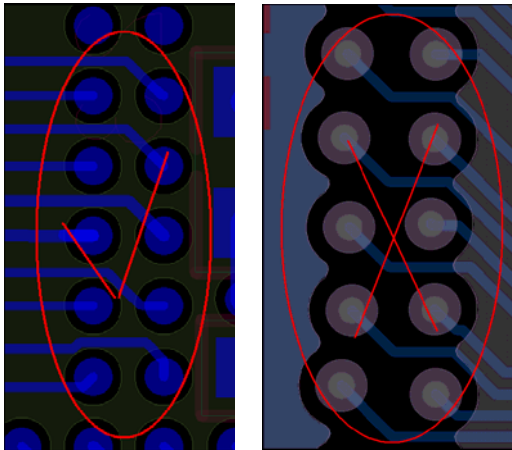
过孔说明

5

如下图所示，SOC通过过孔扇出时，必须保证过孔间的铜皮能连通。对于0.65Pitch的SOC，在IC扇出的地方，过孔采用8/14mils，反焊盘采用3.5mils。对于0.8Pitch的SOC，过孔采用8/16mils，反焊盘采用4mils。



如下图所示，对于SOC底下通过过孔扇出的信号必须保证回流路径不被反焊盘打断。



如下图所示，DRAM部分Layout的走线必须保证回流路径不能被过孔反焊盘打断。过孔采用8/14mils，反焊盘4mils。

