A20 HOMLET
HARDWARE DESIGN GUIDE

版本号（V1.00）
日期（2013-03-18）

Copyright © 2012 All Winner Technology. All Rights reserved.

Revision History

Version	Date	Changes compared to previous issue
V1.00	2013-03-18	基于 A20_HOMLET_STD_V1_00

Copyright © 2012 All Winner Technology. All Rights reserved.

SCH/PCB 信息									
SCH 名称					PCB 名称				
SCH 者					PCB 者				
序号	检查内容	选项	SCH			PCB			备注
			Check	Done	Date	Check	Done	Date	
1	CPU & Beside CPU	√							
2	POWER	√							
3	DRAM	√							
4	USB	√							
5	HDMI	√							
6	KEY	√							
7	EMAC	√							
8	NAND FLASH	√							
9	CARD	√							
10	TV(CVBS/RGB/YPbPr)	√							
11	WIFI	√							
12	SPDIF	√							
13	UART								
14	SATA	√							
15	Baseband	√							
16	MCU	√							
17	Board & Mechanical	√							
18	PCB COPPER	√							
19	Silkscreen	√							
20	PCB footprint	√							

Copyright © 2012 All Winner Technology. All Rights reserved.

目录

1. CPU & Beside CPU..... 5
2. POWER..... 6
3. DRAM..... 8
3.1 DRAM 四层 PCB..... 8
3.1.1 四层 PCB DRAM Layout Guide..... 10
3.2 DRAM 六层 PCB..... 11
3.2.1 六层 PCB DRAM Layout Guide..... 14
3.2.2 过孔屏蔽与过孔回流路径..... 16
4. USB..... 17
5. HDMI..... 18
6.KEY..... 18
7.EMAC..... 19
8.NAND FLASH..... 20
9. CARD..... 20
10.TV(CVBS/RGB/YPbPr)..... 21
11.WIFI..... 21
12.SPDIF..... 22
13. UART..... 23
14.SATA..... 23
15.Baseband..... 24
16.MCU..... 24
17.Board & Mechanical..... 25
18. PCB COPPER..... 26
19.Silkscreen..... 27
20. PCB footprint..... 27

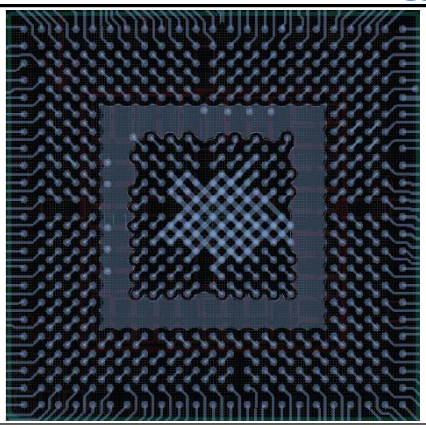
Copyright © 2012 All Winner Technology. All Rights reserved.

1. CPU & Beside CPU

SCH				
No.	Item	Done	Check / Date	Note
1	如果方案没有摄像头模块需要将 CSI0-VCC 和 CSI1-VCC 与 VCC-3V 网络连接；如果电路带摄像头，将相对应的 CSI0-VCC 或 CSI1-VCC 与摄像头的 IO 供电电压保持一致。			
2	TVIN 功能在不使用时将 TVIN 接地，并将 TVIN 电源接到 DRAM-VCC（1.5V），否则将 TVIN 电源接到 2.5V 上。			
3	SATA 功能在不使用时将信号线悬空，并将 SATA 电源接到 DRAM-VCC（1.5V），否则将 SATA 电源接到 2.5V 上。			
4	GPIO 分配请按照标案图分配，不能调整。			
5	主控部分的旁路电容的容值不能修改。			
6	从 CPU 底部测量 CPUVDD 和 INTVDD 两路电压必须为 1.4V 和 1.2V。			否则，请调整输出电压；
7	PA 的 IO 电压与 VCC0-PA 和 VCC1-PA 的供电电压相同； PC 的 IO 电压与 VCC0-PC 和 VCC1-PC 的供电电压相同； PF 的 IO 电压与 VCC-PF 的供电电压相同； PE 的 IO 电压与 VCC-PE 的供电电压相同； PG 的 IO 电压与 VCC-PE 的供电电压相同； 其它 GPIO 口的电压与 VCC-3V 一致。			

PCB				
No.	Item	Done	Check / Date	Note
1	CPU package 与 datasheet 是否一致。			
2	Bypass Cap 是否靠近相应 pin 脚。			
3	Crystal 电路是否接近 IC。			
4	晶振下方部走线，走线必须尽量短。			
5	中间的接地焊盘建议用“井”字连接，以减小过孔的阻抗。			

Copyright © 2012 All Winner Technology. All Rights reserved.

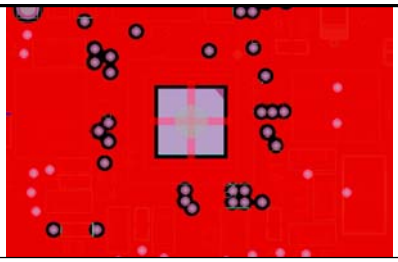
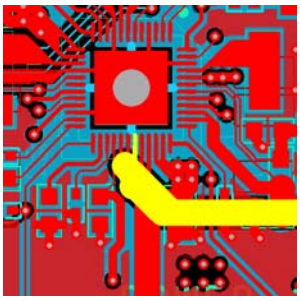
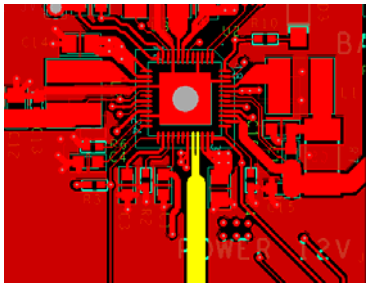
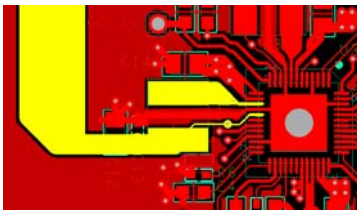
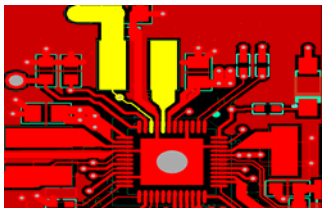
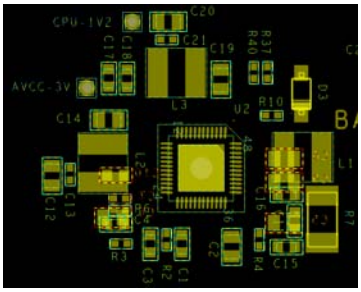
				
6	CPUVDD 和 INTVDD 走线最窄的位置必须大于 60Mil。			
7	保证 CPU 顶层内圈和底层的地平面完整。			

2. POWER

SCH				
No.	Item	Done	Check / Date	Note
1	电感感量为 10uH/4.7uH//2.2uH，注意饱和电流要选择为最大电流的 1.5 倍，直流电阻小于 100 毫欧。			
2	（ACIN、VBUS）输入电容尽量靠近 IC 管脚处，若输入走线过长（>=400mil），在插座输入端需要增加一个 4.7uF 以上的陶瓷电容，同样需要串联 1 欧电阻。			
3	IC 底层保持一片完整的地，并通过均匀分布的过孔到背部底层平面以便 IC 的散热。			
4	DC-5V 与输入电容之间串联 1 欧电阻，防止走线寄生电感跟陶瓷电容产生谐振电压，造成 IC 损坏。			

PCB				
No.	Item	Done	Check / Date	Note
1	PMU 底层地平面处理，给底层尽量完整的地平面，能更有效的解决散热问题。			

Copyright © 2012 All Winner Technology. All Rights reserved.

				
2	USBVBUS、ACIN-5V 的走线>=80mil，分别见图中高亮部分。   USBVBUS ACIN-5V			
3	COREVDD、CPUVDD 的走线>=80mil，见图中高亮部分。   COREVDD CPUVDD			
4	PMU 布局。 			
5	CPUVDD，COREVDD，DRAM,VCC-V3V 在经过电感后端的滤波电容后，通过过孔接到相应的电源板块，每组电源相应的过孔数量不得低于 8 个，在这些过孔附近可以打相应数量的 GND 过孔，以减小电流回流路径。按 CPUVDD，COREVDD，DRAM,VCC-V3V3 这个优先级划分电源板块。			
6	VCC-3V 的电流较大，走线>80mil。			

Copyright © 2012 All Winner Technology. All Rights reserved.

3. DRAM

3.1 DRAM 四层 PCB

SCH				
No.	Item	Done	Check / Date	Note
1	CPU端DRAM VCC Power旁路电容数量不能修改。			
2	DRAM端每片DRAM的VCC Power旁路电容数量不能修改。			
3	CK/CK#之间跨接一个 0402 封装 NC 电容。			
4	CK/CK#信号走线需要分别串联一个 22~33ohm 电阻。			
5	主控端 ODT 信号直接连接 DRAM 的 ODT 管脚。			
6	主控端 RESET 信号直接连接 DRAM 的 RESET 管脚。			
7	DRAM Vref 是对 DRAM VCC 分压获得，分压电阻为 2K 1%。			
8	DDR3 ZQ 电阻在主控端和 DRAM 端都是分别连接，阻值为 240ohm 1%。			

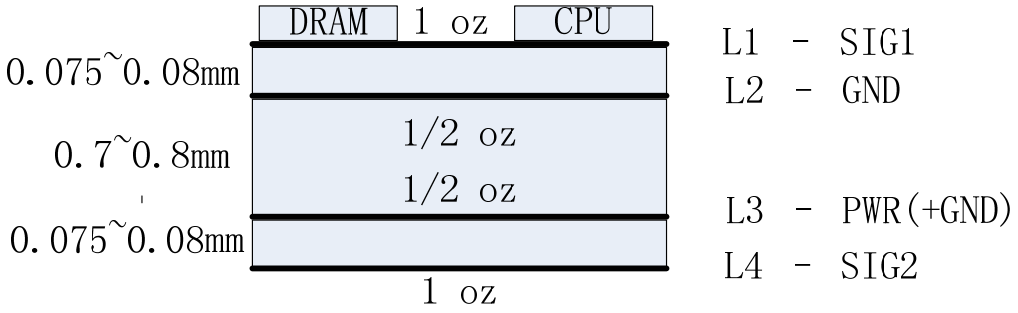
PCB				
No.	Item	Done	Check / Date	Note
	Power			
1	主控端 DRAM VCC Power 滤波电容必须均匀分布。			
2	主控端 DRAM VCC Power Pin 至少保证一个过孔与电源平面相连接。			
3	主控端 DRAM VCC Power 滤波电容与电源平面相连接的过孔数量至少保证一个电容一个过孔。			
4	DRAM 端每片 DRAM 的 VCC Power 滤波电容必须均匀分布。			
5	DRAM 端每片 DRAM 的 Power Pin 与 Power 平面连接的过孔至少保证每两个 Power Pin 一个过孔。			
6	主控端 DRAM VCC 从电源输出到 Power Pin 的连接走线最小的等效线宽不得小于 30mils。			
	PCB Stack-Up			
7	DRAM 信号层叠分布满足 Sig-GND-PWR-Sig 的分层结构。			
8	DRAM 信号走线与参考平面的边沿距离满足>3H 要求。			
9	L1 与 L2 之间介质厚度满足 0.075~0.08mm。			
10	L3 与 L4 之间介质厚度满足 0.075~0.08mm。			
	Differential Signals Routing			
11	CK/CK#， DQS0/DQS0#， DQS1/DQS1#， DQS2/DQS2#，DQS3/DQS3#差分信号对之间并行走线，走线长度差<10mils。			

Copyright © 2012 All Winner Technology. All Rights reserved.

12	CK/CK#， DQS0/DQS0#， DQS1/DQS1#， DQS2/DQS2#，DQS3/DQS3#走线线宽为 4mils，差分对线距为 6mils，与其他信号线距>12mils(3W)。			
13	CK/CK#， DQS0/DQS0#， DQS1/DQS1#， DQS2/DQS2#，DQS3/DQS3#的差分阻抗满足 100ohm±10%。			
14	DQS0/DQS0#，DQS1/DQS1#，DQS2/DQS2#，DQS3/DQS3#走线相对 CK/CK#走线的长度差在 0 ~-200mils 范围之内。			
	Single End Data Signals Routing			
15	Data 信号只在 L1 走线。			
16	如果不是只走 L1，Data 信号换成到 L4 的信号总数不大于 8。			
17	如果 Data 信号换层，Data 信号从主控端到 DRAM 的过孔数量不能超过 2 个。			
18	如果 Data 信号出现在 L4，L3 有相应的 GND 平面覆盖 L4 的 Data 信号走线。			
19	如果 Data 信号出现在 L4，L3 对应的每一块 GND 平面与 L2 GND 平面相连的过孔数量不小于 4，同时不小于所覆盖的 Data 信号数量。			
20	DQ0~DQ31，DQM0~DQM1 信号走线宽度不小于 5mils。			
21	考虑到 PCB 厂阻抗调整后，DQ0~DQ31，DQM0~DQM3 线距不小于 1 倍线宽（阻抗调整后的线宽）。			
22	DQ0~DQ31，DQM0~DQM3 阻抗满足 50ohm±10%。			
23	DQ0~DQ7，DQM0 相对 DQS0/DQS0#走线长度差在±100mils 范围内			
24	DQ8~DQ15，DQM1 相对 DQS1/DQS1#走线长度差在±100mils 范围内			
25	DQ16~DQ23， DQM2 相对 DQS2/DQS2#走线长度差在±100mils 范围内			
26	DQ24~DQ31， DQM3 相对 DQS3/DQS3#走线长度差在±100mils 范围内			
	Address/Control Signals Routing			
27	Addr/Ctrl 信号走线不能出现在 L2/L3。			
28	Addr/Ctrl 信号在 L1 走线区域在 L2 的投影需要被 GND 或者 PWR 平面所覆盖。			
29	Addr/Ctrl 信号在 L4 走线区域在 L3 的投影需要被 GND 或者 PWR 平面所覆盖。			
30	Addr/Ctrl 信号走线宽度不小于 4mils。			
31	考虑到 PCB 厂阻抗调整后，Addr/Ctrl 信号走线间的线距不小于 1 倍线宽（阻抗调整后的线宽）。			
32	Addr/Ctrl 信号走线阻抗满足 50ohm±10%。			
33	Addr/Ctrl 信号走线长度相对 CK/CK#走线长度差在±600mils 范围内。			

Copyright © 2012 All Winner Technology. All Rights reserved.

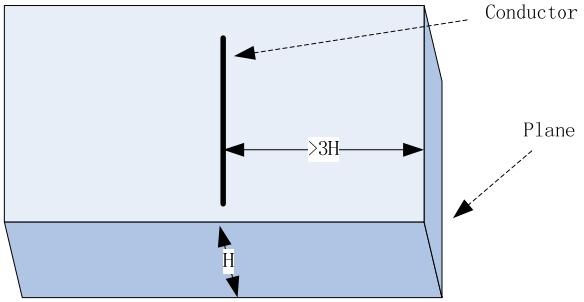
3.1.1 四层 PCB DRAM Layout Guide



典型 4 层结构

如上图所示，典型的 4 层结构，L1 摆放 CPU/DRAM 等器件，L4 只摆放小尺寸器件或者不摆放任何器件。DRAM 所有走线只出现在 L1/L4，L2 是完整的 GND 平面，L3 是 DRAM Power (+ GND)平面。

参考平面与走线关系：作为平面的 L2/L3 需要分别把 DRAM 在 L1/L4 的走线完全覆盖，而且保证走线离参考平面边沿的水平距离>3H（即 0.25mm 或者 10mils）。



CLK 信号走线：CLK 信号指 CK/CK#差分信号。差分对之间信号长度差<10mils，优先考虑平行走。差分阻抗控制在 100ohm±10%。建议差分对走线宽度 4mils，差分对走线边沿距离 6mils，与其他走线的边沿距离>12mils（3W 原则）。

Data 信号走线：Data 信号包括 DQ0~DQ31，DOM0~DQM3，DQS0/DQS0#~DQS3/DQS3#。建议只走 L1（CPU/DRAM 器件面）。如果 L1 单面不能布通，可以通过过孔换层到 L4，但建议需要换层的信号总数不大于 8，而且 L4 的 Data 信号走线必须参考 GND 平面（在 Power 平面中间划出一块 GND 平面把 Data 信号包住），同时 L3 的每一块 GND 平面通过过孔与 L2 GND 平面相连接，每一块 GND 平面相连的过孔数量不得小于 4，同时也不得小于换层信号数量。在允许的情况下，可以采用附件 1 中的过孔隔离办法，对每一个 Data 信号过孔进行隔离。走线长度控制和线宽线距控制如下表所示。

走线信号	线长参考信号	线长误差范围说明
CK/CK#，DQS0/DQS0#，DQS1/DQS1#，DQS2/DQS2#，DQS3/DQS3#	差分对信号相互参考	差分对走线长度误差<10mils，过孔数量相同，并行走线优先

Copyright © 2012 All Winner Technology. All Rights reserved.

DQS0/DQS0#，DQS1/DQS1#，DQS2/DQS2#，DQS3/DQS3#	CK/CK#	0 ~ -200mils
DQ0~DQ7，DQM0	DQS0/DQS0#	±100mils
DQ8~DQ15，DQM1	DQS1/DQS1#	±100mils
DQ16~DQ23，DQM2	DQS2/DQS2#	±100mils
DQ24~DQ31，DQM3	DQS3/DQS3#	±100mils

走线信号	线宽/线距（边沿到边沿）	阻抗控制
DQS0/DQS0#，DQS1/DQS1#，DQS2/DQS2#，DQS3/DQS3#	线宽 4mils，线距 6mils。与其它信号线距>12mils（3W）。	100ohm±10%
DQ0~DQ31，DQM0~DQM3	线宽不小于 5mils，线距不小于 1 倍线宽（**特别注意 PCB 板厂阻抗调整之后的线距不得小于 1 倍线宽**）	50ohm±10%

Addr/Ctrl 信号走线： Addr/Ctrl 信号包括 A0~A15，BA0~BA2，WE/CAS/RAS/CKE/CS/ODT/RST。Addr/Ctrl 信号走线长度参考 CK/CK#，长度差必须控制在±600mils 范围内。Addr/Ctrl 信号走线宽度不得小于 4mils，线距不得小于 1 倍线宽（**特别注意 PCB 板厂阻抗调整之后的线距不得小于 1 倍线宽**）。Addr/Ctrl 信号走线阻抗建议控制在 50ohm±10%范围内。

3.2 DRAM 六层 PCB

SCH				
No.	Item	Done	Check / Date	Note
1	CPU端DRAM VCC Power旁路电容数量不能修改。			
2	CPU端DRAM VCC与旁路电容相连接的过孔不少于10。			
3	DRAM端每片DRAM的VCC Power旁路电容数量不能修改。			
4	CK/CK#之间跨接一个 0402 封装 NC 电容。			
5	CK/CK#信号走线需要分别串联一个 22~33ohm 电阻。			
6	主控端 ODT 信号直接连接 DRAM 的 ODT 管脚。			
7	主控端 RESET 信号直接连接 DRAM 的 RESET 管脚。			
8	DRAM Vref 是对 DRAM VCC 分压获得，分压电阻为 2K 1%；在主控端和 DRAM 端的每个 Vref 信号 Pin 都需要一个 0.1uF 的滤波电容。			
9	DDR3 ZQ 电阻在主控端和 DRAM 端都是分别连接，阻值为 240ohm 1%。			

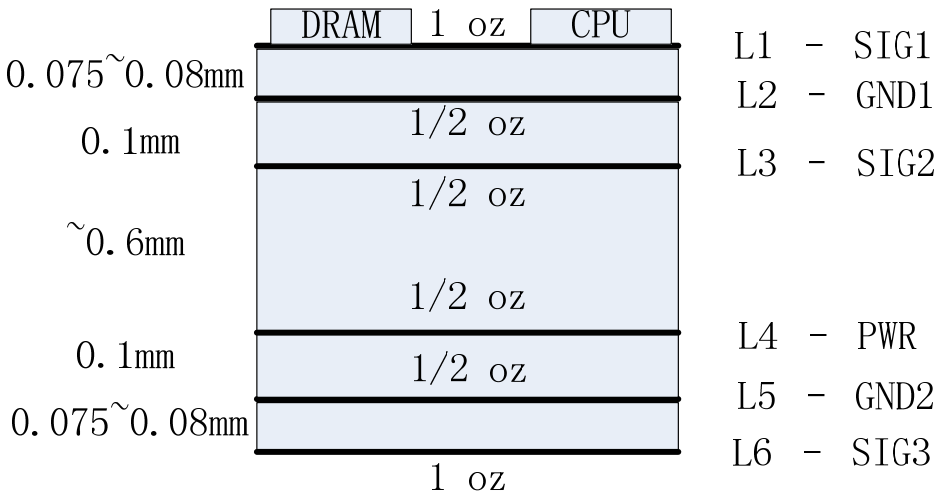
Copyright © 2012 All Winner Technology. All Rights reserved.

PCB				
No.	Item	Done	Check / Date	Note
	Power			
1	主控端 DRAM VCC Power 滤波电容必须均匀分布。			
2	主控端 DRAM VCC Power Pin 至少保证一个过孔于电源平面相连接。			
3	主控端 DRAM VCC Power 滤波电容与电源平面相连接的过孔数量至少保证一个电容一个过孔。			
4	DRAM 端每片 DRAM 的 VCC Power 滤波电容必须均匀分布。			
5	DRAM 端每片 DRAM 的 Power Pin 与 Power 平面连接的过孔至少保证每两个 Power Pin 一个过孔。			
6	主控端 DRAM VCC 从电源输出到 Power Pin 的连接走线最小的等效线宽不得小于 30mils。			
	PCB Stack-Up			
7	DRAM 信号层叠分布满足 Sig-GND-PWR-Sig 的分层结构。			
8	DRAM 信号走线与参考平面的边沿距离满足>3H 要求。			
9	L1 与 L2 之间介质厚度满足 0.075~0.08mm。			
10	L3 与 L4 之间介质厚度满足 0.075~0.08mm。			
	Differential Signals Routing			
11	CK/CK#，DQS0/DQS0#，DQS1/DQS1#，DQS2/DQS2#，DQS3/DQS3#差分信号对之间并行走线，走线长度差<10mils。			
12	CK/CK#，DQS0/DQS0#，DQS1/DQS1#，DQS2/DQS2#，DQS3/DQS3#走线线宽为 4mils，差分对线距为 6mils，与其他信号线距>12mils(3W)。			
13	CK/CK#，DQS0/DQS0#，DQS1/DQS1#，DQS2/DQS2#，DQS3/DQS3#的差分阻抗满足 100ohm±10%。			
14	DQS0/DQS0#，DQS1/DQS1#，DQS2/DQS2#，DQS3/DQS3#走线相对 CK/CK#走线的长度差在±400mils 范围之内。			
	Single End Data Signals Routing			
15	Data 信号只在 L1 走线。			
16	如果不是只走 L1，Data 信号换成到 L4 的信号总数不大于 8。			
17	如果 Data 信号换层，Data 信号从主控端到 DRAM 的过孔数量不能超过 2 个。			
18	如果 Data 信号出现在 L4，L3 有相应的 GND 平面覆盖 L4 的 Data 信号走线。			
19	如果 Data 信号出现在 L4，L3 对应的每一块 GND 平面与 L2 GND 平面相连的过孔数量不小于 4，同时不小于所覆			

Copyright © 2012 All Winner Technology. All Rights reserved.

	盖的 Data 信号数量。			
20	DQ0~DQ31，DQM0~DQM1 信号走线宽度不小于 5mils。			
21	考虑到 PCB 厂阻抗调整后，DQ0~DQ31，DOM0~DQM3 线距不小于 1 倍线宽（阻抗调整后的线宽）。			
22	DQ0~DQ31，DQM0~DQM3 阻抗满足 50ohm±10%。			
23	DQ0~DQ7，DQM0 相对 DQS0/DQS0#走线长度差在±100mils 范围内			
24	DQ8~DQ15，DQM1 相对 DQS1/DQS1#走线长度差在±100mils 范围内			
25	DQ16~DQ23，DQM2 相对 DQS2/DQS2#走线长度差在±100mils 范围内			
26	DQ24~DQ31，DQM3 相对 DQS3/DQS3#走线长度差在±100mils 范围内			
	Address/Control Signals Routing			
27	Addr/Ctrl 信号走线不能出现在 L2/L3。			
28	Addr/Ctrl 信号在 L1 走线区域在 L2 的投影需要被 GND 或者 PWR 平面所覆盖。			
29	Addr/Ctrl 信号在 L4 走线区域在 L3 的投影需要被 GND 或者 PWR 平面所覆盖。			
30	Addr/Ctrl 信号走线宽度不小于 4mils。			
31	考虑到 PCB 厂阻抗调整后，Addr/Ctrl 信号走线间的线距不小于 1 倍线宽（阻抗调整后的线宽）。			
32	Addr/Ctrl 信号走线阻抗满足 50ohm±10%。			
33	Addr/Ctrl 信号走线长度相对 CK/CK#走线长度差在±600mils 范围内。			

3.2.1 六层 PCB DRAM Layout Guide



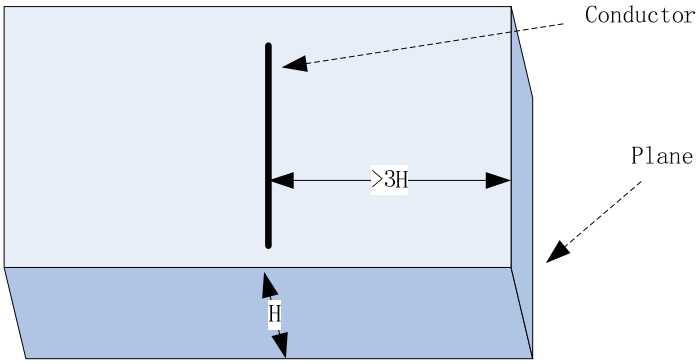
Copyright © 2012 All Winner Technology. All Rights reserved.

典型 6 层结构

如上图所示，典型的 6 层结构，L1 摆放 CPU/DRAM 等器件，L6 只摆放小尺寸器件或者不摆放任何器件。DRAM 的 Data 信号走线只出现在 L1/L6，L2/L5 是完整的 GND 平面，分别为 L1/L6 提供阻抗参考和回流路径。L3 是信号层，同时参考 L2/L4，用于走部分 Addr/Ctrl 信号线。L4 层为完整的 PWR 平面，与 L5 耦合，增强 PWR 和 GND 的耦合。

注意：L1/L2 的厚度与 L2/L3 的厚度关系需要考虑，当信号从 L1/L6 换层到 L3，需要保证走线的阻抗连续，不能出发太大的变化。

参考平面与走线关系：作为平面的 L2 需要完整覆盖 L1 的走线，L5 需要完整覆盖 L6 的走线，而 L2/L4 需要同时完整覆盖 L3 的走线，而且保证走线离参考平面边沿的水平距离 >3H（即 0.25mm 或者 10mils）。



CLK 信号走线：CLK 信号指 CK/CK#差分信号。差分对之间信号长度差<10mils。差分阻抗控制在 100ohm±10%。建议差分对走线宽度 4mils，差分对走线边沿距离 6mils，与其他走线的边沿距离>12mils(3W)。CLK 信号避免走 L3 信号层，因为按照上图的层叠结构，同样的线宽线距，在 L3 层阻抗会增加，导致信号走线阻抗不连续。

Data 信号走线： Data 信号包括 DQ0~DQ31，DOM0~DQM3，DQS0/DQS0#~DQS3/DQS3#。建议只走 L1（CPU/DRAM 器件面）。如果 L1 单面不能布通，可以通过过孔换层到 L6，但建议需要换层的信号总数不大于 8，而且 L6 的 Data 信号走线参考 L5 GND 平面，同时 L5 的 GND 平面通过过孔与 L2 GND 平面连接，用于连接 GND 平面的过孔数量可以根据实际情况增加，同时也不得小于换层信号的总数量。在允许的情况下，可以采用附件 1 中的过孔隔离办法，对每一个 Data 信号过孔进行隔离。Data 信号禁止走 L3。Data 信号走线长度控制和线宽线距控制如下表所示。

走线信号	线长参考信号	线长误差范围说明
CK/CK#，DQS0/DQS0#，DQS1/DQS1#，DQS2/DQS2#，DQS3/DQS3#	差分对信号相互参考	差分对走线长度误差<10mils，过孔数量相同，平行走线优先
DQS0/DQS0#，DQS1/DQS1#，DQS2/DQS2#，DQS3/DQS3#	CK/CK#	0 ~ -200mils
DQ0~DQ7，DQM0	DQS0/DQS0#	±100mils
DQ8~DQ15，DQM1	DQS1/DQS1#	±100mils
DQ16~DQ23，DQM2	DQS2/DQS2#	±100mils

Copyright © 2012 All Winner Technology. All Rights reserved.

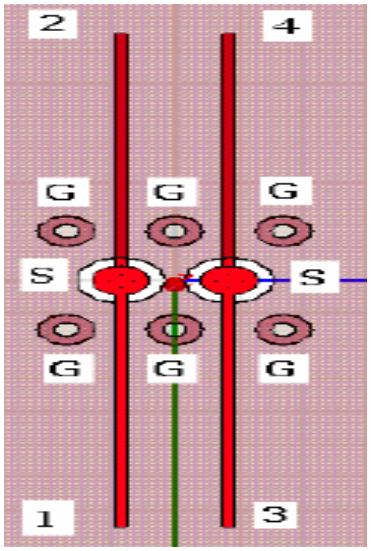
DQ24~DQ31，DQM3	DQS3/DQS3#	±100mils

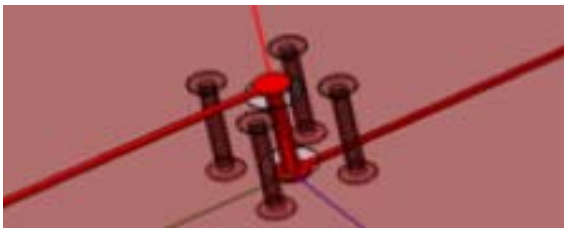
走线信号	线宽/线距（边沿到边沿）	阻抗控制
DQS0/DQS0#，DQS1/DQS1#，DQS2/DQS2#，DQS3/DQS3#	线宽 4mils，线距 6mils。与其他信号线距>10mils.。差分线对与其他信号需要 GND 进行隔离。	100ohm±10%
DQ0~DQ31，DQM0~DQM3	线宽不小于 5mils，线距不小于 1 倍线宽（**特别注意 PCB 板厂阻抗调整之后的线距不得小于 1 倍线宽**）	50ohm±10%

Addr/Ctrl 信号走线：Addr/Ctrl 信号包括 A0~A15，BA0~BA2，WE/CAS/RAS/CKE/CS/ODT/RST。Addr/Ctrl 信号走线长度参考 CK/CK#，长度差必须控制在±600mils 范围内。Addr/Ctrl 信号走线宽度不得小于 4mils，线距不得小于 1 倍线宽（**特别注意 PCB 板厂阻抗调整之后的线距不得小于 1 倍线宽**）。Addr/Ctrl 信号走线阻抗建议控制在 50ohm±10%范围内。

注意：当 Addr/Ctrl 信号在 L3 走线时，需要根据真实叠层调整线宽线距，往往需要的线宽比 L1/L6 的要宽很多（例如 6mil 或者 7mil），需要注意保留足够的调整空间（考虑线距大于 1 倍线宽）。

3.2.2 过孔屏蔽与过孔回流路径





上面两个图分别是增加过孔回流路径后的平面图和立体图。

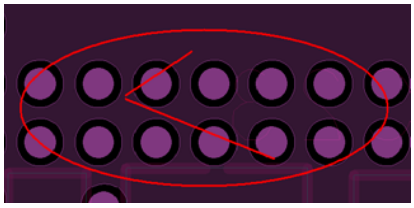
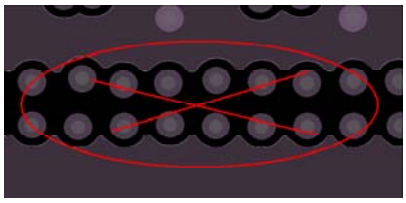
如果信号从 L1 换层到 L4（或者 L6），建议在过孔周围相应增加连接 L2 和 L3（或者 L5）GND 平面的过孔，用于为过孔信号提供最短的回流路径，也就可以减少信号间因为回流带来的串扰，起到屏蔽过孔间相互干扰的作用。

Copyright © 2012 All Winner Technology. All Rights reserved.

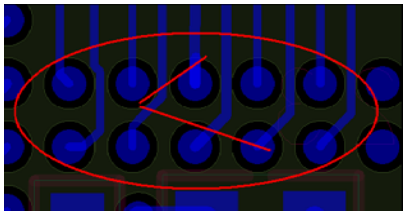
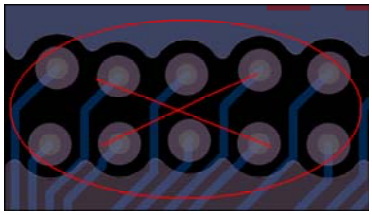
在布板面积允许的情况下，每一个信号过孔旁边至少保证一个 GND 过孔，为信号提供最短的回流路径。

过孔说明及要求

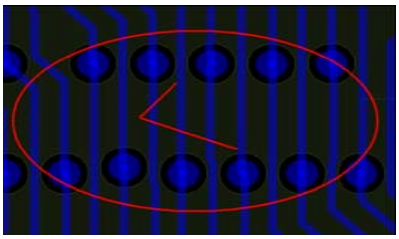
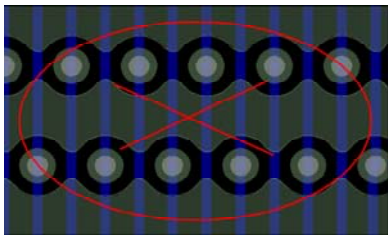
如下图所示，SOC通过过孔扇出时，必须保证过孔间的铜皮能连通。对于0.65Pitch的SOC，在IC扇出的地方，过孔采用8/14mils，反焊盘采用3.5mils。对于0.8Pitch的SOC，过孔采用10/18mils，反焊盘采用4mils。

如下图所示，对于SOC底下通过过孔扇出的信号必须保证回流路径不被反焊盘打断。

如下图所示，DRAM部分Layout的走线必须保证回流路径不能被过孔反焊盘打断。过孔采用8/14mils，反焊盘4mils。

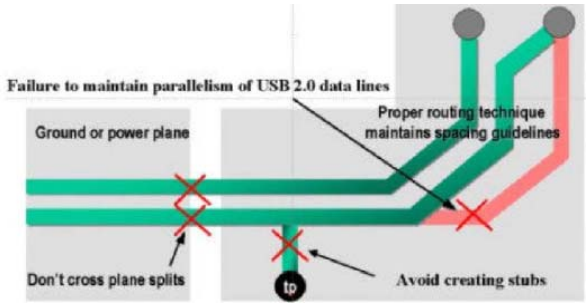



4. USB

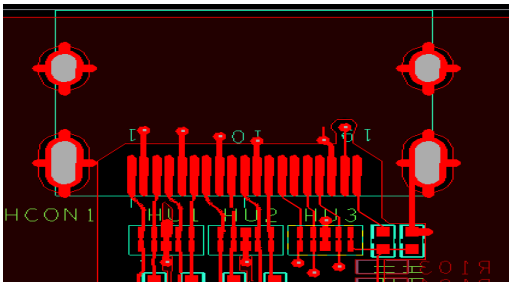
SCH				
No.	Item	Done	Check / Date	Note
1	USB D+/D-连线与 USB Port 要一一对应，不要反接。			
2	D+/D-上的ESD器件寄生电容小于等于4pF(4pF包括了误差)。			

PCB				
No.	Item	Done	Check / Date	Note
1	USB 的电气特性满足 USB2.0 的规范，其差分阻抗为 90 欧。			

Copyright © 2012 All Winner Technology. All Rights reserved.

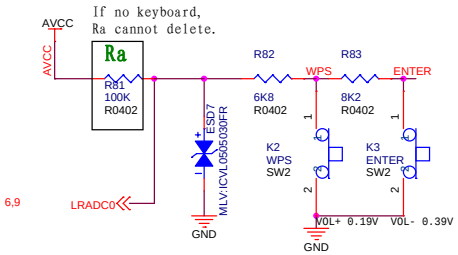
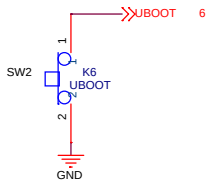
2	USB D+/D-始终保证差分并排走线，拐脚的角度为 45 度。			
3	1、USB D+/D-差分信号走线要与其它信号间距>10 mil； 2、尽量避免 D+/D-的走线走在器件的下面或者与其他信号交叉； 3、建议在表层走线，保证走线相邻层必须有连续完整的参考面，并且参考面没有被分割。  			
4	在进行模块设计的时候，优先考虑 USB 的布线位置，并保证 USB 走线的长度控制在 4000mil 以内。			
5	USB D+/D-走线过孔不超过 2 个。			
6	USB D+/D-走线不能分叉。			

5. HDMI

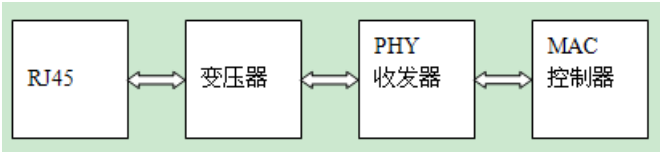
PCB				
No.	Item	Done	Check / Date	Note
1	差分线包地，参考平面完整，差分阻抗 100ohm±5ohm。			
2	ESD 器件靠近 HDMI 插座，见下图。  			
3	差分走线过孔不超过 2 个。			
4	HDMI 座子类型包括：Type A/Type B/Type C，板上焊接母座。			
5	4 组差分线走线拐角成圆弧状。			
6	HDMI 走线优先考虑，保证走线最短。			

Copyright © 2012 All Winner Technology. All Rights reserved.

6.KEY

SCH				
No.	Item	Done	Check / Date	Note
1	键数选择，根据需要，直接去掉后面的按键，分别为 WPS ，ENTER 如图  			
2	LRADC 对地电容，LRADC 需要留对地电容，容值为 102。			
3	按键采用线控按键，LRADC 网络的采样范围为 0-2V，在添加按键时保证按键按下后 LRADC 网络电压范围为 0-2V，并保证任意两个按键按下时 LRADC 电压差必须>=0.15V。			
4	如果方案不需要按键，必须保留 LRADC0 上的上拉电阻到 AVCC。			
5	UBOOT 按键必须保留，UBOOT 可以保证在任何情况下都能强制升级系统。  			

7.EMAC

SCH				
No.	Item	Done	Check / Date	Note
1	EMAC 应用的电路框图如下：  			
2	Diff pairs W=4.5mil，C=8mil，impedance=100ohm			

Copyright © 2012 All Winner Technology. All Rights reserved.

PCB				
No.	Item	Done	Check / Date	Note
1	PHY 收发器数据差分信号 TX+/TX-，RX+/RX-是否放置匹配电阻（49.9 欧姆）是否靠近 PHY 的引脚放置；			
2	保持时钟信号（TXC/RXC）与数据信号一定距离（不小于 20mils）			

8.NAND FLASH

SCH				
No.	Item	Done	Check / Date	Note
1	VPS 的上下拉是否有参照相应 NAND 的 DATASHEET 作处理，VPS 上下拉处理如下表			

厂商	VPS 上下拉电阻处理
Micron/Intel	默认均不焊
Hynix	默认均不焊
Samsung	27nm (k9GBG08U0A): pull up Other: NC
Toshiba	24nm:(TC58NVG5D2HTA00, TC58NVG6D2GTA00, TH58NVG7D2GTA20): pull up

2	NAND 贴片时的贴片位置选择见下表，打 √ 表示需要贴片，第一片，第二片请参考原理图				

贴片数	第一片	第二片
1	√	
2	√	√

PCB				
No.	Item	Done	Check / Date	Note
1	NAND 靠近主控摆放，走线与高频信号隔开。			
2	NAND 封装建议按照原厂提供的封装库以兼容 TSOP/TSD 的 NAND FLASH。			

Copyright © 2012 All Winner Technology. All Rights reserved.

9. CARD

SCH				
No.	Item	Done	Check / Date	Note
1	Clock 脚不要上拉电阻，若并联电容，容值不得超过 15pF。			
2	ESD 器件线电容不能大于 10pF。			
3	CMD 和 DET 走线上需要加上拉，其它数据线不需要加上拉。			

PCB				
No.	Item	Done	Check / Date	Note
1	卡座 VCC 电容和卡座在 PCB 板同一面，并且靠近卡座摆放。			
2	走线尽量与高频信号隔开，数据线按分组走线，过孔控制在 2 个以内。			
3	数据线分组内不得有其他信号线插入。			

10.TV(CVBS/RGB/YPbPr)

SCH				
No.	Item	Done	Check / Date	Note
1	TVIN 的 3.3V 和 2.5V 电压需要独立电源,提高显示质量。			
2	如无特殊指定，pin tvout0、pin tvout1、pin tvout2 分别对应 YPbPr 的 Y、Pb、Pr 或 VGA 的 G、B、R，以适应驱动默认配置。			
3	pin 端有 75Ω对地电阻。			
4	根据方案需要加或不加滤波桥，滤波桥的参数不要出错，建议只有传输复合视频的接口加上，分量视频和 VGA 信号不加。			
5	CVBS 上的 1.8uH 电感，至少保证电流为 20mA。			

PCB				
No.	Item	Done	Check / Date	Note
1	TV 信号线需要包地。			

Copyright © 2012 All Winner Technology. All Rights reserved.

11.WIFI

SCH				
No.	Item	Done	Check / Date	Note
1	晶体电路的地和 WIFI 所在面的地隔开。			
2	WIFI 的 IO 供电是否与主控的模块接口电源保持一致。			
3	PCM 的连接方式如下： **主控端 ---- WIFI 端** PCM-CLK ---- PCM-CLK PCM-SYNC ---- PCM-SYNC PCM-DOUT ---- PCM-DIN PCM-DIN ---- PCM-DOUT			
4	UART 的连接方式如下： **主控端 ---- WIFI 端** UART-RX ---- UART-TX UART-TX ---- UART-RX UART-RTS ---- UART-CTS UART-CTS ---- UART-RTS			

PCB				
No.	Item	Done	Check / Date	Note
1	WIFI 天线阻抗控制为 50ohm，为了不让天线变成单向天线，请将天线走线在顶层，并且镂空下面的所有层，天线在走线层最好都用地线完全屏蔽。(由于使用天线的差异，具体的布线方法要根据实际情况来决定。)			
2	天线路径上勿穿孔，路径上的元件与路径相连的PAD直接放在路径之上，勿从旁路拉出。			
3	WIFI分为14个信道，从2412-2484MHz，其中2484MHz为日本专用信道，使用Iperf分别测试13个信道的信号和吞吐量。（标准请查看附表1）			
4	WIFI天线远离BT天线，最好成90度摆放。			

附表1 针对IEEE 802.11b/g的信道

信道号	1	2	3	4	5	6	7	8	9	10	11	12	13
中心频率（MHz）	2412	2417	2422	2427	2432	2437	2442	2447	2452	2457	2462	2467	2472

WIFI信道功能简易判断：详细的WIFI测试流程见《WIFI测试流程文档V1》
在干扰比较弱的环境下，用WIFI测试仪（APK），同时搜索13个不同的信道，WIFI测试仪应显示有至少13个AP信号，并且需要测试的13个信道的信号强度应在+-5dB。

Copyright © 2012 All Winner Technology. All Rights reserved.

12.SPDIF

PCB				
No.	Item	Done	Check / Date	Note
1	避免其它信号的串扰，需要包地处理。			

13. UART

PCB				
No.	Item	Done	Check / Date	Note
1	RX 需要上拉，上拉电阻 10K~100K。			
2	如果使用 RS232 电平转换芯片注意 IN，OUT 方向。			
3	如果直连 TTL 电平需要添加防倒灌电路。			
4	注意 TX/RX 与对接设备的信号方向，需要交叉连接。			

14.SATA

SCH				
No.	Item	Done	Check / Date	Note
1	注意信号路径的 AC 耦合电容，尽量使用 0402 或者更小的封装，容量为 10nF。			
2	注意 eSATA 封装无电源引脚。			

PCB				
No.	Item	Done	Check / Date	Note
1	信号走线参考平面必须连续，不能被任何过孔或者走线打断； AC 耦合电容尽量靠近 SATA 插座摆放；走线避免过孔。			
2	走线差分阻抗在 100ohm±10%。；			
3	AC 耦合电容尽量靠近 SATA 插座摆放；走线避免过孔。			

Copyright © 2012 All Winner Technology. All Rights reserved.

15.Baseband

SCH				
No.	Item	Done	Check / Date	Note
1	主控 GPIO 电平是否与 3G 模组的电平匹配。			
2	PCM 的连接方式如下： **主控端 ---- baseband 端** PCM-CLK ---- PCM-CLK PCM-SYNC ---- PCM-SYNC PCM-DOUT ---- PCM-DIN PCM-DIN ---- PCM-DOUT			
3	UART 的连接方式如下： **主控端 ---- baseband 端** UART-RX ---- UART-TX UART-TX ---- UART-RX UART-RTS ---- UART-CTS UART-CTS ---- UART-RTS			

PCB				
No.	Item	Done	Check / Date	Note
1	3G 容易受干扰，需要严格按照 3G 模组厂家提供的 PCB layout 指南进行 lay 板。			
2	3G 供电瞬间电流达到 3A,走线线宽>240mil。			
3	天线走线阻抗匹配控制在50欧姆。			
4	USB差分对阻抗匹配控制在90欧姆。			
5	3G模块远离其他高速信号和电源干扰，并完整的地包围。			
6	必须增加屏蔽罩。			

Copyright © 2012 All Winner Technology. All Rights reserved.

16.MCU

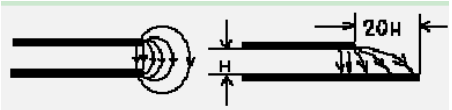
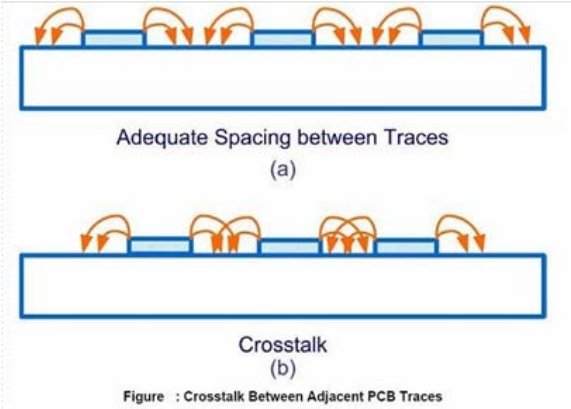
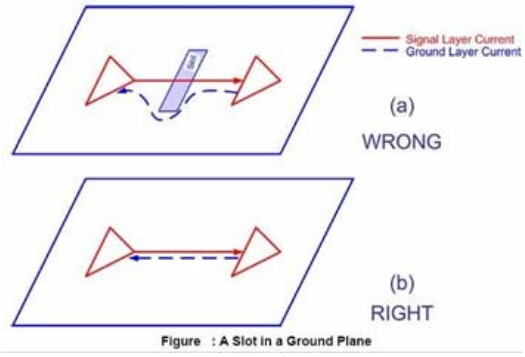
SCH				
No.	Item	Done	Check / Date	Note
1	MCU 的电源需要单独供电，适配器有电时 MCU 的电源就必须有电。			
2	MCU 的 GPIO 电压必须与主控的 GPIO 电压兼容。			
3	系统关机或进入 standby 后 MCU 的 GPIO 不会漏电到主控。			
4	MCU 的 GPIO 的上拉不能漏电到主控。			
5	如果 MCU 的 GPIO 与主控 GPIO 直接连接无法保证不漏电，必须增加隔离电路。			

17.Board & Mechanical

PCB				
No.	Item	Done	Check / Date	Note
1	Board outline 做圆弧处理，圆弧弯角为 1.5MM。			
2	标注 outline 尺寸。			
3	Add 定位孔，并确认定位孔位置。			
4	Add 光学点。			
5	空白处 add GND vias。			
6	VIA（V24R13）尺寸符合生产，电源走线更换大 VIA(V35R18)。			
7	元件安装及限高是否正确。			
8	1:1 打印 PCB，核对主要元器件或所有元件封装。			
9	确认 DRC。			

Copyright © 2012 All Winner Technology. All Rights reserved.

18. PCB COPPER

PCB				
No.	Item	Done	Check / Date	Note
1	大面积铜箔应当用隔热带与焊盘相连，避免由于热容过大，造成虚焊、吊桥等不良现象。如下图			
2	为防止电源辐射，最好将电源层内缩，尽量遵循规则。以一个 H（电源和地之间的介质厚度）为单位，若内缩 20H 则可以将 70%的电场限制在接地边沿内；内缩 100H 则可以将 8%的电场限制在内。一般四层板电源层内缩 80mil-100mil 为宜。 			
3	是否遵循 3W 规则  Figure : Crosstalk Between Adjacent PCB Traces			
4	内电层及内电层分割不出现以下情况  Figure : A Slot in a Ground Plane			

Copyright © 2012 All Winner Technology. All Rights reserved.

19.Silkscreen

No.	Item	Done	Check / Date	Note
1	Add 公司（或其他）标识			
2	Add PCB name，date ，layers			
3	清楚标识各个功能模块			
4	清楚摆正每个元器件 label			
5	标注插座，TP 功能			
6	标注 IC ,插座 pin1			
7	器件丝印是否重叠			
8	器件 label 是否重叠或者隐藏在元器件中。			
9	标识一律放置在 board geometry-silkscreen 层			
10	挪动每个 componet label 确定 label 位置正确			

20. PCB footprint

PCB				
No.	Item	Done	Check / Date	Note
1	确认 CPU、PMU 和 DDR 是否镜像；			
2	确认所有贴片元器件的封装的尺寸是否正确；			
3	确认外围接口器件的尺寸和管脚到 PCB 的高度；			
4	确认以太网的 RJ45 是否带网络变压器；			
5	确认耳机座（CVBS）的焊接方向（特别是下沉式）是否镜像；			
6	如果是双面贴片，BGA 的背面不能放大元件，特别是贴片类的外围接口元件；			
7	4 层板以上，使用盲埋孔的至少 DDR CLK 要在 CPU 的远端（靠近 DDR 端）表层是否预留焊盘；必须预留			

Copyright © 2012 All Winner Technology. All Rights reserved.

Declaration

This document is the original work and copyrighted property of Allwinner Technology (“Allwinner”).Reproduction in whole or in part must obtain the written approval of Allwinner and give clear acknowledgement to the copyright owner.

The information furnished by Allwinner is believed to be accurate and reliable. Allwinner reserves the right to make changes in circuit design and/or specifications at any time without notice. Allwinner does not assume any responsibility and liability for its use. Nor for any infringements of patents or other rights of the third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Allwinner. This datasheet neither states nor implies warranty of any kind, including fitness for any particular application.

Copyright © 2012 All Winner Technology. All Rights reserved.